

PCT/JP 03/13096

10.10.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 5 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 2 1 0 1 4
[ST. 10/C]: [J P 2 0 0 2 - 3 2 1 0 1 4]

出 願 人
Applicant(s): ローム株式会社

REC'D 27 NOV 2003

WIPO PCT

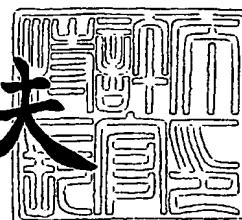
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2 0 0 3 年 1 1 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 PR200317

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/146
H03M 1/00

【発明の名称】 エリアイメージセンサ

【請求項の数】 8

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 清水 誠

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100086380

【弁理士】

【氏名又は名称】 吉田 稔

【連絡先】 0 6 - 6 7 6 4 - 6 6 6 4

【選任した代理人】

【識別番号】 100103078

【弁理士】

【氏名又は名称】 田中 達也

【選任した代理人】

【識別番号】 100105832

【弁理士】

【氏名又は名称】 福元 義和

【選任した代理人】

【識別番号】 100117167

【弁理士】

【氏名又は名称】 塩谷 隆嗣

【選任した代理人】

【識別番号】 100117178

【弁理士】

【氏名又は名称】 古澤 寛

【手数料の表示】

【予納台帳番号】 024198

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109316

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 エリアイメージセンサ

【特許請求の範囲】

【請求項 1】 多数の撮像素子が多行多列に配列されたエリアイメージセンサであって、

撮像素子の各列あるいは 2 列単位に複数本ずつ割り当てられた信号線と、
各信号線の出力端にそれぞれ接続されたアナログ／デジタルコンバータとを備え、

撮像素子の各列においては、1 列当たりの信号線の割り当て本数と同数にわたり連続して並ぶ撮像素子ごとに小グループが形成されているとともに、小グループ内では、各撮像素子がそれぞれ異なる信号線に接続され、

さらに、撮像素子の各列においては、2 以上にわたり連続して並ぶ小グループごとに大グループが形成されているとともに、この大グループ内では、小グループ単位の信号線に対する接続パターンが 2 種類以上存在することを特徴とする、エリアイメージセンサ。

【請求項 2】 上記撮像素子の各列に信号線が所定の複数本ずつ割り当てられている場合、撮像素子の各列は、全て同一のグループ構成ならびに信号線に対する接続パターンをなす、請求項 1 に記載のエリアイメージセンサ。

【請求項 3】 上記撮像素子の 2 列単位に信号線が所定の複数本ずつ割り当てられている場合、撮像素子の各列は、全て同一のグループ構成をなす一方、信号線に対する接続パターンが 1 列おきに同一パターンをなす、請求項 1 に記載のエリアイメージセンサ。

【請求項 4】 上記撮像素子の各列においては、2 を累乗した数の小グループごとに大グループが形成されている、請求項 1 ないし 3 のいずれかに記載のエリアイメージセンサ。

【請求項 5】 上記撮像素子の各列には、小グループの数が異なる 2 種類以上の大グループが存在する、請求項 4 に記載のエリアイメージセンサ。

【請求項 6】 上記大グループ内においては、1 列当たりの信号線の割り当て本数と同数の撮像素子であって、所定の規則的な順に位置する撮像素子がそれ

ぞれ異なる信号線に接続されている、請求項1ないし5のいずれかに記載のエリアイメージセンサ。

【請求項7】 上記撮像素子の各行に1本ずつ割り当てられ、1本につき当該行内の撮像素子全てが接続されたアドレス線と、

上記アドレス線で大グループ単位に区切りながら選択する際、1列当たりの信号線の割り当て本数と同数の本数からなり、所定の規則的な順に位置する撮像素子の行に対応するアドレス線を同時に選択するアドレス線選択回路と、

上記アドレス線選択回路がアドレス線を選択するごとにアナログ／デジタルコンバータの各々から出力されてきたデジタル信号を取り込むとともに、これらのデジタル信号を複数の転送ラインにのせて出力するシフトレジスタと、

上記シフトレジスタの転送ラインを切り替えてデジタル信号を出力させるデュプレクサ回路あるいはマルチプレクサ回路とを有する、請求項6に記載のエリアイメージセンサ。

【請求項8】 上記アナログ／デジタルコンバータは、上記アドレス線選択回路がアドレス線を選択するごとに信号線から入力される信号電圧と当該アドレス線の選択時間内に変化する基準電圧とを逐次比較し、両電圧が一致したときの電圧値そのものあるいはカウント値をデジタル信号として上記シフトレジスタに出力する、請求項7に記載のエリアイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、たとえばデジタルカメラなどに組み込まれたCMOS (Complementary Metal Oxide Semiconductor) 型のエリアイメージセンサに関する。

【0002】

【従来の技術】

従来のCMOS型エリアイメージセンサは、一般的には、撮像素子の各列に平行して1本ずつ信号線を有するとともに、各行に平行して1本ずつアドレス線を有する。各信号線には、該当する列の撮像素子が共通に接続され、各アドレス線には、該当する行の撮像素子が共通に接続されている。各信号線の出力端には、

アナログ／デジタルコンバータが接続され、さらにアナログ／デジタルコンバータの出力端には、シフトレジスタが接続されている（たとえば、特許文献1参照）。

【0003】

このようなエリアイメージセンサでは、全てのアドレス線を走査するフルサンプリングスキャンを行う場合、アドレス線が1本ずつ順に選択走査され、それに応じて1行ごとに撮像素子からの信号電圧がアナログ／デジタルコンバータに入力される。アナログ／デジタルコンバータは、1本のアドレス線走査時間内に入力された信号電圧と、同時刻内に動作クロックに応じて変化する基準電圧とを逐次比較し、両電圧が一致したときのカウント数をデジタル信号としてシフトレジスタに出力する。シフトレジスタは、各アナログ／デジタルコンバータからのデジタル信号をシフトパルスに同期して順次出力する。これにより、行ごとに連続する画素データがデジタル信号として得られる。

【0004】

ところで、フルサンプリングスキャンでは、全行数に及ぶ1フレーム分の画像データを得るのにある程度の時間を要し、高フレームレート化などが困難とされる。そのため、たとえばデジタルカメラの液晶モニタにプレビュー用の動画像を表示させる場合などには、たとえば2行2列の4ピクセル（4個の撮像素子）から1ピクセル分の信号のみを抽出することにより、1フレーム分のデータ量がフルサンプリングスキャンの1/4となるようなサブサンプリングスキャンを行っている。

【0005】

このサブサンプリングスキャンによれば、アドレス線が1行（1本）おきに選択走査され、2本に1本の割合で不必要なアドレス線が間引かれる。そして、1列おきに不必要な信号が破棄されることにより、4ピクセルから1ピクセル分の信号のみが抽出される。このようなサブサンプリングスキャンにおいて、仮にフレームレートをフルサンプリングスキャンと同一とすれば、1本当たりのアドレス線走査時間を2倍程度まで引き延ばすことができる。その結果、アナログ／デジタルコンバータの動作クロック（クロック周波数）を1/2程度まで引き下げ

ることができる。なお、上記のようにアドレス線を 2 本に 1 本の割合で選択走査するサブサンプリングスキャンは、特に 1/2 サブサンプリングスキャンと呼ばれる。

【0006】

【特許文献 1】

特開 2001-036816 号公報

【0007】

【発明が解決しようとする課題】

しかしながら、従来のエリアイメージセンサでは、たとえば 1/2 サブサンプリングスキャンを行った場合、データ量が減少する割合 (1/4) と比べてみてもアナログ/デジタルコンバータの動作クロックが半減する程度とされ、飛躍的に動作クロックを低減させることができない。つまり、動作クロックと消費電力との比例的関係からしても、サブサンプリングスキャン時に消費電力を大幅に低減させることができなかった。

【0008】

【発明の開示】

本願発明は、このような事情のもとで考え出されたものであって、サブサンプリングスキャン時に動作クロックや消費電力を大幅に低減させることができるエリアイメージセンサを提供することを、その課題としている。

【0009】

上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0010】

すなわち、本願発明によれば、多数の撮像素子が多行多列に配列されたエリアイメージセンサであって、撮像素子の各列あるいは 2 列単位に複数本ずつ割り当てられた信号線と、各信号線の出力端にそれぞれ接続されたアナログ/デジタルコンバータとを備え、撮像素子の各列においては、1 列当たりの信号線の割り当て本数と同数にわたり連続して並ぶ撮像素子ごとに小グループが形成されているとともに、小グループ内では、各撮像素子がそれぞれ異なる信号線に接続され、さらに、撮像素子の各列においては、2 以上にわたり連続して並ぶ小グループご

とに大グループが形成されているとともに、この大グループ内では、小グループ単位の信号線に対する接続パターンが2種類以上存在することを特徴とする、エリアイメージセンサが提供される。

【0011】

好ましい実施の形態としては、上記撮像素子の各列に信号線が所定の複数本ずつ割り当てられている場合、撮像素子の各列は、全て同一のグループ構成ならびに信号線に対する接続パターンをなす構成とすることができる。

【0012】

他の好ましい実施の形態としては、上記撮像素子の2列単位に信号線が所定の複数本ずつ割り当てられている場合、撮像素子の各列は、全て同一のグループ構成をなす一方、信号線に対する接続パターンが1列おきに同一パターンをなす構成とすることができる。

【0013】

また、上記撮像素子の各列においては、2を累乗した数の小グループごとに大グループが形成されている構成とすることができる。

【0014】

上記撮像素子の各列には、小グループの数が異なる2種類以上の大グループが存在する構成とすることができる。

【0015】

上記大グループ内においては、1列当たりの信号線の割り当て本数と同数の撮像素子であって、所定の規則的な順に位置する撮像素子がそれぞれ異なる信号線に接続されている構成とすることができる。

【0016】

また、上記撮像素子の各行に1本ずつ割り当てられ、1本につき当該行内の撮像素子全てが接続されたアドレス線と、上記アドレス線は大グループ単位に区切りながら選択する際、1列当たりの信号線の割り当て本数と同数の本数からなり、所定の規則的な順に位置する撮像素子の行に対応するアドレス線を同時に選択するアドレス線選択回路と、上記アドレス線選択回路がアドレス線を選択するごとにアナログ／デジタルコンバータの各々から出力されてきたデジタル信号を取

り込むとともに、これらのデジタル信号を複数の転送ラインにのせて出力するシフトレジスタと、上記シフトレジスタの転送ラインを切り替えてデジタル信号を出力させるデュプレクサ回路あるいはマルチプレクサ回路とを有する構成とすることができる。

【0017】

上記アナログ／デジタルコンバータは、上記アドレス線選択回路がアドレス線を選択するごとに信号線から入力される信号電圧と当該アドレス線の選択時間内に変化する基準電圧とを逐次比較し、両電圧が一致したときの電圧値そのものあるいはカウント値をデジタル信号として上記シフトレジスタに出力する構成とすることができる。

【0018】

本願発明によれば、たとえば撮像素子の各列に2本ずつ信号線を割り当てた場合、その信号線の割り当て本数と同数（2個）の撮像素子ごとに小グループが形成され、たとえば2を1乗した数、すなわち2つの小グループごとに大グループが形成される。個々の小グループ内では、2個の撮像素子がそれぞれ異なる信号線に接続されるとともに、個々の大グループ内では、信号線に対する接続パターンが小グループ単位に異なる。さらに、大グループ内では、1行おきに位置する2個の撮像素子がそれぞれ異なる信号線に接続される。このようなグループ構成ならびに接続パターンは、撮像素子の全列にわたって同一とされる。

【0019】

フルサンプリングスキャンを行う場合には、小グループ単位にアドレス線を2本（2行分）ずつ同時に選択走査することができ、それに応じて連続2行分の信号電圧をアナログ／デジタルコンバータに対して入力させることができる。つまり、アナログ／デジタルコンバータ全体からは、アドレス線を選択走査するごとに連続2行分のデジタル信号が出力され、シフトレジスタからは、連続2行分のデジタル信号（画素データ）がデュプレクサ回路を通じて出力される。このようなフルサンプリングスキャンによれば、2行分の画素データをほぼ同時に得ることができるので、従来のように1行ずつアドレス線を選択走査する場合と比較すると、アナログ／デジタルコンバータの動作クロック（クロック周波数）を1／

2程度まで引き下げることができる。

【0020】

一方、1/2サブサンプリングスキャンを行う場合には、大グループ単位に区切ってアドレス線を4本（4行分）ずつまとめながらも1行おきに位置する2本のアドレス線を同時に選択走査できる。それに応じて1行おきに位置する2行分の撮像素子からは、信号線を通じて各アナログ／デジタルコンバータに信号電圧が伝えられる。そして、アナログ／デジタルコンバータ全体からは、アドレス線を2本同時に選択走査するごとに2行分のデジタル信号が出力され、シフトレジスタからは、2行に1行の割合で間引かれた総計2行分の画素データがデュプレクサ回路を通じて出力される。このとき、1列おきに不必要な画素データを破棄することで、2行2列の4素子から1素子分の画素データのみが抽出される。このような1/2サブサンプリングスキャンによれば、1フレーム分のデータ量がフルサンプリングスキャンの1/4とされる。また、アナログ／デジタルコンバータの動作クロックは、従来と比べて1/4程度まで引き下げられる。

【0021】

なお、撮像素子の各列には、2つの小グループからなる大グループとともに、たとえば4、8、16などの小グループからなる別の大グループを同時に存在させることができる。そうした場合、1/4、1/8、1/16のサブサンプリングスキャンにも対応することができる。

【0022】

また、たとえば撮像素子の2列単位に4本ずつ信号線を割り当てた場合でも、1列当たりの信号線の割り当て本数が上記と同じ2本になるため、撮像素子の全列にわたり上記と同様のグループ構成とすることができる。このとき、信号線に対する接続パターンについては、1列おきに同一とすることができる。

【0023】

したがって、本願発明によれば、フルサンプリングスキャンの時点でアナログ／デジタルコンバータの動作クロックを従来より低減することができるので、サブサンプリングスキャン時には、さらに動作クロックを低減させることができ、動作クロックと消費電力との比例的關係から消費電力を大幅に低減させることが

できる。

【0024】

本願発明のその他の特徴および利点は、添付図面を参照して以下に行う発明の実施の形態の説明から、より明らかになるであろう。

【0025】

【発明の実施の形態】

以下、本願発明の好ましい実施の形態を、図面を参照して具体的に説明する。

【0026】

図1は、本願発明の第1実施形態に係るエリアイメージセンサの構成図である。エリアイメージセンサ1は、たとえばデジタルカメラ用のCMOS型イメージセンサであって、横長長方形の撮像部1Aを備える。撮像部1Aとその周辺回路は、多数のフォトダイオード10…、多数のスウィッチング素子20…、多数のアナログ／デジタルコンバータ（以下、「ADコンバータ」と呼ぶ）30…、シフトレジスタ40、アドレス線選択回路50、デュプレクサ回路60、縦方向に延びる信号線L…、および横方向に延びるアドレス線A…などで概略構成される。

【0027】

フォトダイオード10とスウィッチング素子20とは、互いに接続されて対をなし、撮像素子として機能する。この撮像素子を1つずつ区切る単位区画が1ピクセル（画素）に相当し、撮像部1Aは、多数の撮像素子を多行多列に配列したピクセルアレイ構造からなる。信号線L…は、撮像素子の列ごとに一例として2本ずつ引かれている。これらの信号線L…には、所定の規則的パターンに従ってスウィッチング素子20…の出力端20A…が接続されている。この規則的パターンについては、後述する。信号線L…の出力端には、ADコンバータ30…が接続され、ADコンバータ30…の出力端は、シフトレジスタ40に接続され、シフトレジスタ40の出力端は、デュプレクサ回路60に接続されている。アドレス線A…は、撮像素子の行ごとに1本ずつ引かれている。各行のアドレス線A…には、1行全てのスウィッチング素子20…の入出力ゲート20B…が接続されている。これら全てのアドレス線A…は、アドレス線選択回路50に接続されている。

【0028】

なお、撮像素子などの並び具合については、横方向に並ぶ一まとまりの撮像素子（ピクセル）群を「行」と呼び、「行」に直交して縦方向に並ぶ一まとまりの撮像素子群を「列」と呼ぶ。たとえば、上から順に「第1行、第2行、…」とし、左から順に「第1列、第2列、…」とする。信号線L…については、第1列目の左から順に「La1、La2」、第2列目の左から順に「Lb1、Lb2」などとなるように符号を付す。アドレス線A…については、上から順に第1行目、第2行目、…が「A1、A2、…」などとなるように符号を付す。

【0029】

また、この実施形態に係るエリアイメージセンサ1は、モノクロ入力方式によるものとする。したがって、1ピクセルごとには、白黒の濃淡をデジタル量で表現したデジタル画素信号が得られ、全ピクセルにわたっては、モノクロイメージからなる1フレーム分の画像データが得られる。

【0030】

図2は、1つの撮像素子についての回路図である。スイッチング素子20は、リセット用トランジスタTR1、スイッチング用トランジスタTR2、およびソースフォロワンプ用トランジスタTR3を組み合わせてなる。リセット用トランジスタTR1とスイッチング用トランジスタTR2とは、CMOS構造により実現される。また、図1では省略したが、行ごとにリセット線R（第1行目については符号R1）が引かれ、列ごとにコモン線C（第1列目については符号C1）が引かれている。リセット用トランジスタTR1のソース、ゲート、ドレインは、フォトダイオード10の出力端、リセット線R1、コモン線C1にそれぞれ接続され、スイッチング用トランジスタTR2のソース、ゲート、ドレインは、コモン線C1、アドレス線A1、ソースフォロワンプ用トランジスタTR3のソースにそれぞれ接続されている。ソースフォロワンプ用トランジスタTR3のゲートは、フォトダイオード10の出力端に接続され、ドレインが信号線L11に接続されている。これらのうち、ソースフォロワンプ用トランジスタTR3のドレインと信号線L11との接点がスイッチング素子20の出力端20Aに

相当し、スイッチング用トランジスタTR2のゲートとアドレス線A1との接点
がスイッチング素子20の入出力ゲート20Bに相当する。簡単に言うと、各ピ
クセルでは、入出力ゲート20Bを通電状態としてスイッチング素子20…がオ
ンされると、フォトダイオード10…から光電変換された信号電荷が信号線L…
に流れ込み、これらの信号線L…を通じてADコンバータ30…に信号電圧が入
力される。

【0031】

次に、一例として第1列目の撮像素子と信号線L1, L2とに着目し、これら
の規則的パターンについて詳述する。なお、第1列目以外の各列についても、第
1列目と全く同じ規則的パターンが適用される。

【0032】

図3は、第1列目の規則的パターンを説明するための説明図である。この図に
示すように、第1列目に並ぶ撮像素子P1, P2, …は、連続した2つごとに1
つの小グループg1, g2, g3, …をなすとともに、1つの小グループg1,
g2, g3, …内では、隣り合う2つの撮像素子(P1とP2), (P3とP4
) , …がそれぞれ異なる信号線L1, L2に接続されている。また、小グループ
g1, g2, g3, …は、連続した2つごとに1つの大グループG1, G2, …
をなすように構成されている。

【0033】

ここで、たとえば1つの大グループG1について見ると、これに含まれる小グ
ループg1の信号線L1, L2に対する接続パターンと、小グループg2の信号
線L1, L2に対する接続パターンとは、それぞれ異なる。他の大グループG2
, G3, …でも異なるように構成されている。そして、個々の大グループG1,
G2, …内で第 $2n+1$ ($n=0, 1$) 番目の規則的な順に位置する2つの撮像
素子(P1とP3), (P5, P7), …については、それぞれ異なる信号線L
1, L2に接続されている。

【0034】

また、小グループg1, g2, g3, …は、2を2乗した4、2を3乗した8
、2を4乗した16ごととしても、それぞれ符号G#1、G%1、G&1などで

示す大グループをなすように構成される。たとえば、連続した4つの小グループ ($g_1 \sim g_4$), ($g_5 \sim g_8$), ...ごとに構成される個々の大グループ $G\#1$, $G\#2$, ...では、小グループ ($g_1 \sim g_4$), ($g_5 \sim g_8$), ...単位の接続パターンが異なる2種類に分けられ、全て同一パターンになることはない。そして、個々の大グループ $G\#1$, $G\#2$, ...内で第 $4n+1$ ($n=0, 1$) 番目の規則的な順に位置する2つの撮像素子 (P_1 と P_5), (P_9 , P_{13}), ...については、それぞれ異なる信号線 L_1 , L_2 に接続されている。

【0035】

これは、8の小グループ ($g_1 \sim g_8$), ($g_9 \sim g_{16}$), ...ごとに構成される大グループ $G\%1$, $G\%2$, ...や、16の小グループ ($g_1 \sim g_{16}$), ...ごとに構成される大グループ $G\&1$, ...としても同様とされる。つまり、個々の大グループ $G\%1$, $G\%2$, ...内で第 $8n+1$ ($n=0, 1$) 番目の規則的な順に位置する2つの撮像素子 (P_1 と P_9), (P_{17} , P_{25}), ...については、それぞれ異なる信号線 L_1 , L_2 に接続されている。また、個々の大グループ $G\&1$, ...内で第 $16n+1$ ($n=0, 1$) 番目の規則的な順に位置する2つの撮像素子 (P_1 と P_{17}), ...については、それぞれ異なる信号線 L_1 , L_2 に接続されている。

【0036】

このような接続パターンは、最も大きい大グループ $G\&1$, ...単位に繰り返され、撮像素子 P_1 , P_2 , ...の数で言えば32個ごとに繰り返し構成される。規則的なパターンとしては、以上説明したようなグループ構成および接続パターンをなすように決められている。

【0037】

このような規則的なパターンによれば、全てのピクセル (撮像素子) から信号を抽出するためのフルサンプリングスキャンを行う場合、小グループ g_1 , g_2 , g_3 , ...単位に撮像素子 (P_1 と P_2), (P_3 と P_4), ...を同時にオンさせ、連続する2行分の信号電圧を信号線 $L\cdots$ を通じてADコンバータ30...に一斉に入力させることができる。一方、アドレス線 A , ...を2本に1本の割合で選択走査するといった1/2サブサンプリングスキャンを行う場合、大グループ G_1

, G2, ...単位に撮像素子 (P1~P4), (P5~P8), ...を区切りながらも、個々の大グループG1, G2, ...内で第1, 第3番目に位置する撮像素子 (P1とP3), (P5とP7), ...を同時にオンさせることができる。つまり、1/2サブサンプリングスキャンでも、2行分の信号電圧を信号線L, ...を通じてADコンバータ30, ...に一斉に入力させることができる。

【0038】

また、1/4サブサンプリングスキャンを行う場合には、大グループG#1, G#2, ...単位に撮像素子 (P1~P8), (P9~P16), ...を区切りながらも、個々の大グループG#1, G#2, ...内で第1, 第5番目に位置する撮像素子 (P1とP5), (P9とP13), ...を同時にオンさせることができる。

【0039】

1/8サブサンプリングスキャンを行う場合には、大グループG%1, G%2, ...単位に撮像素子 (P1~P16), (P17~P32), ...を区切りながらも、個々の大グループG%1, G%2, ...内で第1, 第9番目に位置する撮像素子 (P1とP9), (P17とP25), ...を同時にオンさせることができる。

【0040】

1/16サブサンプリングスキャンを行う場合には、大グループG&1, ...単位に撮像素子 (P1~P32), ...を区切りながらも、個々の大グループG&1, ...内で第1, 第17番目に位置する撮像素子 (P1とP17), ...を同時にオンさせることができる。つまり、1/2、1/4、1/8、1/16サブサンプリングスキャンでも、2行分の信号電圧を信号線L, ...を通じてADコンバータ30, ...に一斉に入力させることができる。

【0041】

次に、図4は、1つのADコンバータ30についてのブロック図、図5は、ADコンバータ30の動作を説明するための説明図である。ADコンバータ30は、図4に示すように、比較器31およびカウンタ32などで構成される。比較器31には、図5に示すように、アナログ信号としてサンプルホールドされた信号電圧 (図中にプロットで示す) が信号線Lを通じて入力されるとともに、動作クロックに同期してスロープ状に変化する基準電圧が入力される。この基準電圧は

、アドレス線選択回路50の1回のアドレス線走査時間（これを、「ライン走査周期」と呼ぶ）ごとに入力される。比較器31は、ライン走査周期ごとに入力された信号電圧と基準電圧とを同時刻内に逐次比較し、両電圧が一致した時点でカウンタ32にラッチ信号を出力する。カウンタ32は、ライン走査周期ごとにクロック数をカウントしており、比較器31からラッチ信号を受けると、その時点のクロックカウント数をデジタル画素信号としてシフトレジスタ40に出力する。つまり、ADコンバータ30…は、各列2本ずつの信号線L…に対応して2個ずつ設けられており、1つのADコンバータ30は、ライン走査周期ごとに1ピクセル分のアナログ信号電圧をデジタル画素信号に変換して出力する。

【0042】

シフトレジスタ40は、図1に示すようにフリップフロップ回路などで個別に構成されたレジスタ41、…を備える。各レジスタ41は、ADコンバータ30の出力端に接続されている。レジスタ41…は、各列2個ずつのADコンバータ30…に対応して2段をなすように設けられており、信号線L1に対応する一群が第1の転送ライン42Aに、信号線L2に対応する一群が第2の転送ライン42Bに接続されている。このようなシフトレジスタ40は、各ADコンバータ30からのデジタル画素信号を各レジスタ41に一時的に取り込んだ後、シフトパルスに同期しながら2本の転送ライン42A、42Bを通じて1つずつデジタル画素信号を転送する。このとき、デュプレクサ回路60は、シフトレジスタ40の動作に連動して転送ライン42A、42Bを適当なタイミングで切り替える。たとえば、デュプレクサ回路60は、第1の転送ライン42Aに接続された状態で第1の転送ライン42A上のデジタル画素信号を順次出力し、その出力完了後、第2の転送ライン42Bに接続を切り替え、第2の転送ライン42B上のデジタル画素信号を順次出力する。これにより、シフトレジスタ40で行ごとにシリアル化された2行分のデジタル画素信号が出力される。

【0043】

アドレス線選択回路50は、フルサンプリングスキャンの場合、小グループg1、g2、…単位に連続した2本のアドレス線（A1とA2）、（A3とA4）、…を同時に選択して通電状態とする。一方、1/2サブサンプリングスキャン

の場合、アドレス線選択回路 5 0 は、大グループ G 1, G 2, …単位に区切りながらも大グループ G 1, G 2, …内の第 $2n+1$ ($n=0, 1$) 番目に対応する 2 本のアドレス線 (A 1 と A 3), …を同時に選択して通電状態とする。また、1/4 サブサンプリングスキャンの場合、アドレス線選択回路 5 0 は、大グループ G # 1, G # 2, …単位に区切りながらも、その大グループ G # 1, G # 2, …内の第 $4n+1$ ($n=0, 1$) 番目に対応する 2 本のアドレス線 (符号省略) を同時に選択して通電状態とする。さらに、1/8、1/16 サブサンプリングスキャンの場合、アドレス線選択回路 5 0 は、それぞれ 8、16 の小グループ (符号省略) で構成される符号 G % 1, G % 2, …の大グループ、符号 G & 2, …の大グループ単位に区切りながらも、それぞれの大グループ内において第 $8n+1$ ($n=0, 1$) 番目、第 $16n+1$ ($n=0, 1$) 番目に対応する 2 本のアドレス線 (符号省略) を同時に選択して通電状態とする。このようなアドレス線選択回路 5 0 の動作は、選択走査と呼ばれ、フルサンプリングスキャンあるいは 1/2、1/4、1/8、1/16 サブサンプリングスキャンのいずれにしても、1 回の選択走査ごとにアドレス線 A, …を 2 本同時にオンにできる。また、1 回の選択走査に要する時間がライン走査周期とされ、その時間内に A/D コンバータ 3 0 の A/D 変換処理が行われる。

【0 0 4 4】

次に、エリアイメージセンサ 1 の動作について説明する。なお、動作原理をわかりやすくするために、撮像部 1 A は、4 行 4 列の総計 16 ピクセルのみからなり、A/D コンバータ 3 0 …やシフトレジスタ 4 0 などの周辺回路も、それに応じた構成とする。

【0 0 4 5】

図 6 ないし図 8 は、信号の処理手順を説明するための説明図である。特に、図 6 は、動作モードとしてアドレス線 A 1 ~ A 4 を 1 本ずつ選択走査するフルサンプリングスキャン、図 7 は、同時に 2 本ずつ選択走査するフルサンプリングスキャン、図 8 は、2 本に 1 本の割合で同時に 2 本ずつ選択走査する 1/2 サブサンプリングスキャンに対応した図である。各図中の上段には、タイミングチャートを示し、下段には、シフトレジスタ 4 0 の動作を模式的に示す。なお、図 6 は、

あくまでも比較参考用にすぎず、実際には、アドレス線A、…を1本ずつ選択走査するといった動作モードはない。

【0046】

仮に、アドレス線A1～A4を1本ずつ順に選択走査するといったフルサンプリングスキャンを行う場合、アドレス線選択回路50は、図6に示すように、フレーム信号F1, F2, …をアサートするごとにアドレス線A1～A4を1本ずつ順に選択走査する。ここで、フレーム信号F1, F2, …とは、1フレームの画像データを周期的に取り込むタイミングを与えるためのものである。つまり、フレーム信号F1, F2, …の周波数がフレームレートに一致する。

【0047】

1本のアドレス線A1を選択走査すると、このアドレス線A1に接続された第1行目のスイッチング素子20, …がオンになる。同時に、オンしたスイッチング素子20, …と対をなすフォトダイオード10, …からは、光電変換による信号電圧が信号線La1, Lb1, …を通じてADコンバータ30, …に供給される。

【0048】

ADコンバータ30, …は、先の図5に示したように、1回の選択走査ごとにスロープ状の基準電圧とアナログ入力の信号電圧とを逐次比較する。そして、ADコンバータ30…は、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでにデジタル画像信号を出力する。その後、同様にしてアドレス線A2, A3, A4が順に選択走査され、シフトレジスタ40からは、1回の選択走査ごとに各行のデジタル画像信号が出力される。つまり、図6に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当し、4ライン走査周期で1フレームの処理が完結する。要するに、アドレス線A1～A4を1本ずつ順に選択走査するフルサンプリングスキャンによれば、ADコンバータ30は、1フレーム当たり4回のAD変換処理を行わなければならない、動作クロック（クロック周波数）もそれに応じてある程度高い周波数とされる。このときのクロック周波数を「f」とする。

【0049】

次に、フレームレートは上記と同一条件としつつも、アドレス線A1～A4を2本ずつ選択走査するといった実際のフルサンプリングスキャンに考える。この場合、アドレス線選択回路50は、図7に示すように、フレーム信号F1, F2, …をアサートするごとに小グループg1, g2に対応した2本のアドレス線(A1とA2), (A3とA4)を同時に選択走査する。

【0050】

最初に、2本のアドレス線A1, A2を同時に選択走査すると、これらのアドレス線A1, A2に接続された第1, 第2行目のスイッチング素子20, …がオンになる。同時に、オンしたスイッチング素子20, …と対をなす2行分のフォトダイオード10, …からは、光電変換による信号電圧が信号線L1, L2を通じてADコンバータ30, …に供給される。

【0051】

ADコンバータ30, …は、1回の選択走査ごとに基準電圧と信号電圧とを逐次比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに2行分のデジタル画像信号を出力する。その後、同様にしてアドレス線A3, A4が同時に選択走査され、シフトレジスタ40からは、2行分のデジタル画像信号が出力される。この場合、図7に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当し、2ライン走査周期で1フレームの処理が完結する。

【0052】

ここで、先述したフルサンプリングスキャンと異なる点は、1回の選択走査で2行分のデジタル画像信号が得られる点にある。また、シフトレジスタ40は、図7に示すように、ライン走査周期内にデュプレクサ回路60により転送ライン42A, 42Bが切り替えられるため、このデュプレクサ回路60を通じて2行分のデジタル画素信号がシリアル出力される点も異なる。このとき、デュプレクサ回路60は、シフトレジスタ40からのデジタル画素信号を行順に出力するように転送ライン42A, 42Bを切り替える。

【0053】

つまり、実際のフルサンプリングスキャンによれば、ADコンバータ30によるAD変換処理は、1フレーム当たり2回とされる。その結果、ライン走査周期を長く設定してクロック周波数を先のフルサンプリングスキャンより低い $f/2$ 程度とすることができる。

【0054】

さらに、フレームレートは上記と同一条件とした上で、 $1/2$ サブフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、図8に示すように、フレーム信号F1, F2, ...をアサートするごとに大グループG1内の第 $2n+1$ ($n=0, 1$) 番目に対応したアドレス線A1, A3を同時に選択走査する。

【0055】

2本のアドレス線A1, A3を同時に選択走査すると、これらのアドレス線A1, A3に接続された第1, 第3行目のスイッチング素子20, ...がオンになる。同時に、オンしたスイッチング素子20, ...と対をなす2行分のフォトダイオード10, ...からは、光電変換による信号電圧が信号線L1, L2を通じてADコンバータ30, ...に供給される。

【0056】

ADコンバータ30, ...は、1回の選択走査ごとに基準電圧と信号電圧とを逐次比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに2行分のデジタル画像信号を出力する。この場合、図8に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当するので、1ライン走査周期で1フレームの処理が完結してしまう。

【0057】

このような $1/2$ サブサンプリングスキャンでは、1回の選択走査で2行分のデジタル画像信号が得られるも、1行おきに隔てたデジタル画像信号が得られる。つまり、シフトレジスタ40は、図8に示すように、ライン走査周期内にデュプレクサ回路60により転送ライン42A, 42Bが切り替えられるので、この

デュプレクサ回路 60 を通じて 1 行おきのデジタル画素信号がシリアル出力される。このとき、1 行おきのデジタル画素信号の中でも、図 8 にハッチングで示すように、第 2, 4 列目のデジタル画素信号が不要として破棄される。そのため、最終的には、4 行 4 列の 16 ピクセルから 4 ピクセル分のデジタル画素信号が抽出され、1 フレーム分のデータ量がフルサンプリングスキャンの $1/4$ とされる。

【0058】

よって、 $1/2$ サブサンプリングスキャンによれば、AD コンバータ 30 による AD 変換処理は、1 フレーム当たり 1 回で済み、ライン走査周期をさらに長く設定してクロック周波数を $f/4$ 程度にすることができる。このようなクロック周波数の低減率は、ピクセル数がどれだけ多くなってもサブサンプリングスキャンのレベルを変えない限り一定とされ、 $1/2$ サブサンプリングスキャンでは常に $f/4$ 程度となる。また、同様の動作原理に基づき、 $1/4$ 、 $1/8$ 、 $1/16$ サブサンプリングスキャンとすれば、それぞれクロック周波数を $f/8$ 、 $f/16$ 、 $f/32$ 程度にすることができる。

【0059】

つまり、再び図 3 を参照して説明すると、フルサンプリングスキャン時には、図中の網掛け部分で示すように、小グループ g_1 , g_2 , ... を構成する P_1 , P_2 の 2 行、 P_3 , P_4 の 2 行、... ごとに画素データが得られるので、クロック周波数を $f/2$ 程度にすることができる。

【0060】

また、 $1/2$ サブサンプリングスキャン時には、大グループ G_1 , G_2 , ... ごとに区切りながらも、それぞれ異なる信号線 L_1 , L_2 に接続されて規則的に位置する P_1 , P_3 の 2 行、 P_5 , P_7 の 2 行、... ごとに画素データが得られるので、クロック周波数を $f/4$ 程度にすることができる。

【0061】

さらに、 $1/4$ サブサンプリングスキャン時には、大グループ $G\#1$, $G\#2$, ... ごとに区切りながらも、それぞれ異なる信号線 L_1 , L_2 に接続されて規則的に位置する P_1 , P_5 の 2 行、 P_9 , P_{13} の 2 行、... ごとに画素データが得

られるので、クロック周波数を $f/8$ 程度にすることができる。

【0062】

さらに進み、 $1/8$ サブサンプリングスキャン時には、大グループ $G\%1$, $G\%2$, …ごとに区切りながらも、それぞれ異なる信号線 $L1$, $L2$ に接続されて規則的に位置する $P1$, $P9$ の2行、 $P17$, $P25$ の2行、…ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にすることができる。

【0063】

最もサンプリング率の小さい $1/16$ サブサンプリングスキャン時には、大グループ $G\&1$, $G\&2$ ($G\&2$ 以降は図示省略), …ごとに区切りながらも、それぞれ異なる信号線 $L1$, $L2$ に接続されて規則的に位置する $P1$, $P17$ の2行、 $P33$, $P49$ ($P33$ 以降は図示省略) の2行、…ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にすることができる。

【0064】

したがって、この実施形態によれば、たとえば $1/2$ サブサンプリングスキャン時には、アドレス線 A , …を1本ずつ選択走査する場合のADコンバータ30の動作クロック(クロック周波数) f に比べ、その動作クロックを $f/4$ まで低減させることができ、ひいては動作クロックと消費電力との比例的関係から消費電力を大幅に低減させることができる。

【0065】

また、 $1/4$ サブサンプリングスキャンの場合、動作クロックを $f/8$ まで低減させることができ、消費電力をさらに大幅に低減させることができる。もっとも、 $1/8$, $1/16$ サブサンプリングスキャンとすれば、消費電力の点でさらに大きな効果が得られる。

【0066】

また、サブサンプリングスキャン時におけるADコンバータ30の動作クロック、あるいはアドレス線選択回路50のライン走査周期などをバランス良く調整すれば、高フレームレート化と省電力化とを両立させることができる。

【0067】

次に、第2の実施形態について説明する。なお、先述した第1の実施形態と同

様の点については、説明を省略する。

【0068】

図9は、第2実施形態に係るエリアイメージセンサの構成図である。第2実施形態では、撮像素子P、…の列ごとに4本ずつ信号線L、…が引かれている。これらの信号線L、…には、以下に説明する規則的パターンに従って撮像素子P、…が接続されている。

【0069】

図10は、第2実施形態における第1列目の規則的パターンを説明するための説明図である。この図に示すように、第1列目に並ぶ撮像素子P1、P2、…は、連続した4つごとに1つの小グループg1、g2、g3、…をなすとともに、1つの小グループg1、g2、g3、…内では、4つの撮像素子(P1～P4)、(P5～P8)、…がそれぞれ異なる信号線L1～L4に接続されている。また、小グループg1、g2、g3、…は、連続した2つごとに1つの大グループG1、G2、…をなすように構成されている。

【0070】

たとえば1つの大グループG1について見ると、これに含まれる小グループg1の信号線L1～L4に対する接続パターンと、小グループg2の信号線L1～L4に対する接続パターンとは、それぞれ異なる。他の大グループG2、G3、…でも異なるように構成されている。そして、個々の大グループG1、G2、…内で第2n+1 (n=0, 1, 2, 3) 番目の規則的な順に位置する4つの撮像素子(P1, P3, P5, P7), (P9, P11, P13, P15), …については、それぞれ異なる信号線L1～L4に接続されている。

【0071】

また、小グループg1、g2、g3、…は、2を2乗した4、2を3乗した8ごととしても、それぞれ符号G#1、G%1などで示す大グループをなすように構成される。たとえば、連続した4つの小グループ(g1～g4), (g5～g8), …ごとに構成される個々の大グループG#1、G#2、…では、小グループ(g1～g4), (g5～g8), …単位の接続パターンがそれぞれ異なり、全て同一パターンになることはない。そして、個々の大グループG#1、G#2

、…内で第 $4n+1$ ($n=0, 1, 2, 3$) 番目の規則的な順に位置する 4 つの撮像素子 (P_1, P_5, P_9, P_{13})、($P_{17}, P_{21}, P_{25}, P_{29}$)、…については、それぞれ異なる信号線 $L_1 \sim L_4$ に接続されている。

【0072】

さらに、8 の小グループ ($g_1 \sim g_8$)、($g_9 \sim g_{16}$)、…ごとに構成される大グループ $G\%1$ 、…でも同様とされ、個々の大グループ $G\%1$ 、…内で第 $8n+1$ ($n=0, 1, 2, 3$) 番目の規則的な順に位置する 4 つの撮像素子 (P_1, P_9, P_{17}, P_{25})、…については、それぞれ異なる信号線 $L_1 \sim L_4$ に接続されている。

【0073】

このような接続パターンは、最も大きい大グループ $G\%1$ 、…単位に繰り返され、撮像素子 P_1, P_2, \dots の数で言えば 32 個ごとに繰り返し構成される。第 2 実施形態の規則的パターンとしては、以上説明したようなグループ構成および接続パターンをなすように決められている。

【0074】

このような規則的パターンによれば、全てのピクセル (撮像素子) から信号を抽出するためのフルサンプリングスキャンを行う場合、小グループ g_1, g_2, g_3, \dots 単位に撮像素子 ($P_1 \sim P_4$)、($P_5 \sim P_8$)、…を同時にオンさせ、連続する 4 行分の信号電圧を信号線 L, \dots を通じて AD コンバータ 30…に一斉に入力させることができる。一方、アドレス線 A, \dots を 2 本に 1 本の割合で選択走査するといった $1/2$ サブサンプリングスキャンを行う場合、大グループ G_1, G_2, \dots 単位に撮像素子 ($P_1 \sim P_8$)、($P_9 \sim P_{16}$)、…を区切りながらも、個々の大グループ G_1, G_2, \dots 内で第 1, 第 3, 第 5, 第 7 番目に位置する撮像素子 (P_1, P_3, P_5, P_7)、($P_9, P_{11}, P_{13}, P_{15}$)、…を同時にオンさせることができる。つまり、 $1/2$ サブサンプリングスキャンでも、4 行分の信号電圧を信号線 L, \dots を通じて AD コンバータ 30, …に一斉に入力させることができる。

【0075】

また、 $1/4$ サブサンプリングスキャンを行う場合には、大グループ $G\#1$,

G#2, …単位に撮像素子 (P1~P16), (P17~P32), …を区切りながらも、個々の大グループG#1, G#2, …内で第1, 第5, 第9, 第13番目に位置する撮像素子 (P1, P5, P9, P13), (P17, P21, P25, P29), …を同時にオンさせることができる。

【0076】

1/8サブサンプリングスキャンを行う場合には、大グループG%1, …単位に撮像素子 (P1~P32), …を区切りながらも、個々の大グループG%1, …内で第1, 第9, 第17, 第25番目に位置する撮像素子 (P1, P9, P17, P25), …を同時にオンさせることができる。つまり、1/2, 1/4, 1/8サブサンプリングスキャンでも、4行分の信号電圧を信号線L, …を通じてADコンバータ30, …に一斉に入力させることができる。

【0077】

シフトレジスタ40のレジスタ41, …は、図9に示すように、信号線L1に対応する一群が第1の転送ライン42Aに、信号線L2に対応する一群が第2の転送ライン42Bに、信号線L3に対応する一群が第3の転送ライン42Cに、信号線L4に対応する一群が第4の転送ライン42Dに接続されている。つまり、シフトレジスタ40は、シフトパルスに同期しながら4本の転送ライン42A, 42B, 42C, 42Dを通じて1つずつデジタル画素信号を転送する。このとき、マルチプレクサ回路61は、シフトレジスタ40の動作に連動して4本の転送ライン42A, 42B, 42C, 42Dを適当なタイミングで切り替える。たとえば、マルチプレクサ回路61は、第1の転送ライン42A上のデジタル画素信号を1つずつ順に出力した後、第2の転送ライン42Bに接続を切り替えてデジタル画素信号を出力し、さらに第3の転送ライン42C、最後に第4の転送ライン42Dに接続を切り替えてデジタル画素信号を出力する。これにより、シフトレジスタ40で行ごとにシリアル化された4行分のデジタル画素信号が出力される。

【0078】

アドレス線選択回路50は、フルサンプリングスキャンの場合、小グループg1, g2, …単位に連続した4本のアドレス線 (A1~A4), (A5~A8)

、…を同時に選択走査して通電状態とする。一方、1/2サブサンプリングスキャンの場合、アドレス線選択回路50は、大グループG1, G2, …単位に区切りながらも大グループG1, G2, …内の第 $2n+1$ ($n=0, 1, 2, 3$) 番目に対応する4本のアドレス線(A1, A3, A5, A7), …を同時に選択走査して通電状態とする。また、1/4サブサンプリングスキャンの場合、アドレス線選択回路50は、大グループG#1, G#2, …単位に区切りながらも、その大グループG#1, G#2, …内の第 $4n+1$ ($n=0, 1, 2, 3$) 番目に対応する4本のアドレス線(符号省略)を同時に選択走査して通電状態とする。さらに、1/8サブサンプリングスキャンの場合、アドレス線選択回路50は、大グループG%1, …単位に区切りながらも、その大グループG%1, …内において第 $8n+1$ ($n=0, 1, 2, 3$) 番目に対応する4本のアドレス線(符号省略)を同時に選択走査して通電状態とする。すなわち、フルサンプリングスキャンあるいは1/2、1/4、1/8サブサンプリングスキャンのいずれにしても、1回の選択走査ごとにアドレス線A, …を4本同時にオンにできる。

【0079】

次に、第2実施形態の動作について説明する。なお、動作原理をわかりやすくするために、撮像素子P, …は、図9にちょうど示される8行6列の総計48ピクセルのみからなり、ADコンバータ30…やシフトレジスタ40などの周辺回路も、それに応じた構成とする。

【0080】

図11および図12は、信号の処理手順を説明するための説明図である。特に、図11の(a)は、動作モードとしてアドレス線A1~A8を1本ずつ選択走査するフルサンプリングスキャン、図11の(b)は、同時に4本ずつ選択走査するフルサンプリングスキャン、図12は、2本に1本の割合で同時に4本ずつ選択走査する1/2サブサンプリングスキャンに対応したタイミングチャートである。なお、図11の(a)は、あくまでも比較参考用にすぎず、実際には、アドレス線A, …を1本ずつ選択走査するといった動作モードはない。

【0081】

仮に、アドレス線A1~A8を1本ずつ順に選択走査するといったフルサンプリング

リングスキャンを行う場合、アドレス線選択回路 50 は、図 11 の (a) に示すように、フレーム信号 F_1, F_2, \dots をアサートするごとにアドレス線 $A_1 \sim A_8$ を 1 本ずつ順に選択走査する。このとき、フレーム信号 F_1, F_2, \dots の周波数がフレームレートに一致する。

【0082】

1 本のアドレス線 A_1 を選択走査すると、このアドレス線 A_1 に接続された第 1 行目の撮像素子 P, \dots がオンになる。同時に、オンした撮像素子 P, \dots からは、信号電圧が信号線 L_{a1}, L_{b1}, \dots を通じて AD コンバータ 30, \dots に供給される。

【0083】

AD コンバータ 30, \dots は、1 回の選択走査ごとに基準電圧と信号電圧とを逐次比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ 40 に出力する。シフトレジスタ 40 は、1 回の選択走査を終えるまでにデジタル画像信号を出力する。その後、同様にしてアドレス線 A_2, A_3, \dots が順に選択走査され、シフトレジスタ 40 からは、1 回の選択走査ごとに各行のデジタル画像信号が出力される。つまり、図 11 の (a) に示すアドレス線選択信号や出力データの 1 周期分がライン走査周期に相当し、8 ライン走査周期で 1 フレームの処理が完結する。要するに、アドレス線 $A_1 \sim A_8$ を 1 本ずつ順に選択走査するフルサンプリングスキャンによれば、AD コンバータ 30 は、1 フレーム当たり 8 回の AD 変換処理を行わなければならない、動作クロック（クロック周波数）もそれに応じてある程度高い周波数とされる。このときのクロック周波数を「 f 」とする。

【0084】

次に、フレームレートは上記と同一条件としつつも、アドレス線 $A_1 \sim A_8$ を 4 本ずつ選択走査するといった実際のフルサンプリングスキャンについて考える。この場合、アドレス線選択回路 50 は、図 11 の (b) に示すように、フレーム信号 F_1, F_2, \dots をアサートするごとに小グループ g_1, g_2 に対応した 4 本のアドレス線 ($A_1 \sim A_4$), ($A_5 \sim A_8$) を同時に選択走査する。

【0085】

最初に、4本のアドレス線A1～A4を同時に選択走査すると、これらのアドレス線A1～A4に接続された第1～第4行目の撮像素子P，…がオンになる。同時に、オンした撮像素子P，…からは、信号電圧が信号線L1～L4を通じてADコンバータ30，…に供給される。

【0086】

ADコンバータ30，…は、1回の選択走査ごとに基準電圧と信号電圧とを逐次比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに4行分のデジタル画像信号を出力する。その後、同様にしてアドレス線A5～A8が同時に選択走査され、シフトレジスタ40からは、4行分のデジタル画像信号が出力される。この場合、図11の(b)に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当し、2ライン走査周期で1フレームの処理が完結する。

【0087】

ここで、先述したフルサンプリングスキャンと異なる点は、1回の選択走査で4行分のデジタル画像信号が得られる点にある。また、シフトレジスタ40は、ライン走査周期内にマルチプレクサ回路61により転送ライン42A，42B，42C，42Dが切り替えられるため、このマルチプレクサ回路61を通じて4行分のデジタル画素信号がシリアル出力される点も異なる。なお、マルチプレクサ回路61は、シフトレジスタ40からのデジタル画素信号を行順に出力するように、転送ライン42A，42B，42C，42Dを切り替える。たとえば、最初の4行分を出力する段階（アドレス線A1～A4の選択走査段階）では、符号42A，42B，42C，42Dの順に転送ラインが切り替えられ、次の4行分を出力する段階（アドレス線A5～A8の選択走査段階）では、符号42B，42C，42D，42Aの順に切り替えられる。

【0088】

つまり、実際のフルサンプリングスキャンによれば、ADコンバータ30によるAD変換処理は、1フレーム当たり2回とされる。その結果、ライン走査周期を長く設定してクロック周波数を先のフルサンプリングスキャンより低い $f/4$

程度とすることができる。

【0089】

さらに、フレームレートは上記と同一条件とした上で、1/2 サブフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、図12に示すように、フレーム信号F1, F2, ...をアサートするごとに大グループG1内の第 $2n+1$ ($n=0, 1, 2, 3$) 番目に対応したアドレス線A1, A3, A5, A7を同時に選択走査する。

【0090】

4本のアドレス線A1, A3, A5, A7を同時に選択走査すると、これらのアドレス線A1, A3, A5, A7に接続された第1, 第3, 第5, 第7行目の撮像素子P, ...がオンになる。同時に、オンした撮像素子P, ...からは、信号電圧が信号線L1~L4を通じてADコンバータ30, ...に供給される。

【0091】

ADコンバータ30, ...は、1回の選択走査ごとに基準電圧と信号電圧とを逐次比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに4行分のデジタル画像信号を出力する。この場合、図12に示すアドレス線選択信号や出力データの1周期分がライン走査周期に相当するので、1ライン走査周期で1フレームの処理が完結してしまう。

【0092】

このような1/2 サブサンプリングスキャンでは、1回の選択走査で4行分のデジタル画像信号が得られるも、1行おきに隔てたデジタル画像信号が得られる。つまり、シフトレジスタ40は、ライン走査周期内にマルチプレクサ回路61により転送ラインが符号42A, 42C, 42B, 42Dの順に切り替えられるので、このマルチプレクサ回路61を通じて1行おきのデジタル画素信号がシリアル出力される。このとき、1行おきのデジタル画素信号の中でも、第2, 第4, 第6列目のデジタル画素信号が不要として破棄される。そのため、最終的には、8行6列の48ピクセルから12ピクセル分のデジタル画素信号が抽出され、1フレーム分のデータ量がフルサンプリングスキャンの1/4とされる。

【0093】

よって、第2実施形態の1/2サブサンプリングスキャンによれば、ADコンバータ30によるAD変換処理は、1フレーム当たり1回で済み、ライン走査周期をさらに長く設定してクロック周波数を $f/8$ 程度にすることができる。このようなクロック周波数の低減率は、ピクセル数がどれだけ多くなってもサブサンプリングスキャンのレベルを変えない限り一定とされ、1/2サブサンプリングスキャンでは常に $f/8$ 程度となる。また、同様の動作原理に基づき、1/4、1/8サブサンプリングスキャンとすれば、それぞれクロック周波数を $f/16$ 、 $f/32$ 程度にすることができる。

【0094】

つまり、再び図10を参照して説明すると、フルサンプリングスキャン時には、図中の網掛け部分で示すように、小グループ g_1 、 g_2 、…を構成するP1～P4の4行、P5～P8の4行、…ごとに画素データが得られるので、クロック周波数を $f/4$ 程度にすることができる。

【0095】

また、1/2サブサンプリングスキャン時には、大グループ G_1 、 G_2 、…ごとに区切りながらも、それぞれ異なる信号線L1～L4に接続されて規則的に位置するP1、P3、P5、P7の4行、P9、P11、P13、P15の4行、…ごとに画素データが得られるので、クロック周波数を $f/8$ 程度にすることができる。

【0096】

さらに、1/4サブサンプリングスキャン時には、大グループ $G\#1$ 、 $G\#2$ 、…ごとに区切りながらも、それぞれ異なる信号線L1～L4に接続されて規則的に位置するP1、P5、P9、P13の4行、P17、P21、P25、P29の4行、…ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にすることができる。

【0097】

最もサンプリング率の小さい1/8サブサンプリングスキャン時には、大グループ $G\%1$ 、 $G\%2$ （ $G\&2$ 以降は図示省略）、…ごとに区切りながらも、それ

ぞれ異なる信号線 L1～L4 に接続されて規則的に位置する P1, P9, P17, P25 の 4 行、P33, P41, P49, P57 (P33 以降は図示省略) の 4 行、…ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にすることができる。

【0098】

したがって、第 2 実施形態によれば、たとえば $1/2$ サブサンプリングスキャン時には、アドレス線 A, …を 1 本ずつ選択走査する場合の AD コンバータ 30 の動作クロック (クロック周波数) f に比べ、その動作クロックを $f/8$ まで低減させることができ、ひいては動作クロックと消費電力との比例的関係から消費電力を大幅に低減させることができる。

【0099】

また、 $1/4$ サブサンプリングスキャンの場合、動作クロックを $f/16$ まで低減させることができ、消費電力をさらに大幅に低減させることができる。さらに、 $1/8$ サブサンプリングスキャンとすれば、消費電力の点でさらに大きな効果が得られる。

【0100】

また、第 2 実施形態でも、サブサンプリングスキャン時における AD コンバータ 30 の動作クロック、あるいはアドレス線選択回路 50 のライン走査周期などをバランス良く調整すれば、高フレームレート化と省電力化とを両立させることができる。

【0101】

次に、第 3 の実施形態について説明する。なお、先述した第 1 あるいは第 2 の実施形態と同様の点については、説明を省略する。

【0102】

図 13 は、第 3 実施形態に係るエリアイメージセンサの構成図である。第 3 実施形態に係るエリアイメージセンサは、カラー入力方式に適したものである。撮像素子 P, …のそれぞれには、RGB 3 原色のうちのいずれか 1 色のフィルタがかけられている。具体的に言うと、仮想線で示す 2 行 2 列の撮像素子 P, …が 1 ピクセルとされ、色フィルタは、一例として 1 ピクセルごとに左上が G、右上が

R、左下がB、右下がGとなるように配列されている。このようなピクセル構造では、1つの撮像素子Pが1サブピクセルに相当する。したがって、1ピクセルのカラー画素信号は、2行2列をなす4サブピクセル（撮像素子）分のデジタル画素信号からなる。

【0103】

また、第3実施形態では、1列当たりの信号線L、…の本数（4本）については第2実施形態と同様とされる一方で、信号線L、…と撮像素子P、…との規則的パターンが第2実施形態とは若干異なる。

【0104】

図14は、第3実施形態における第1列目の規則的パターンを説明するための説明図である。第3実施形態でも、グループ構成や、個々の大グループG1、G2、…内において小グループg1、g2単位の接続パターンが異なるように構成されている点は、第2実施形態と同様である。一方、列全体について見ると、小グループg1、g2、…単位の信号線L1～L4に対する接続パターンが2種類しかない。そのため、個々の大グループG1、G2、…内で第4n+1と第4n+2（n=0, 1）番目の規則的な順に位置する4つの撮像素子（P1, P2, P5, P6）, （P9, P10, P13, P14）, …については、それぞれ異なる信号線L1～L4に接続されている。

【0105】

また、符号G#1, G#2, …で示す大グループとしても、個々の大グループG#1, G#2, …内で第8n+1と第8n+2（n=0, 1）番目の規則的な順に位置する4つの撮像素子（P1, P2, P9, P10）, （P17, P18, P25, P26）, …については、それぞれ異なる信号線L1～L4に接続されている。

【0106】

さらに、符号G%1, …で示す大グループとしても、個々の大グループG%1, …内で第16n+1と第16n+2（n=0, 1）番目の規則的な順に位置する4つの撮像素子（P1, P2, P17, P18）, …については、それぞれ異なる信号線L1～L4に接続されている。

【0107】

このような接続パターンは、最も大きい大グループG%1，…単位に繰り返され、撮像素子P1，P2，…の数で言えば32個ごとに繰り返し構成される。第3実施形態の規則的パターンとしては、以上説明したようなグループ構成および接続パターンをなすように決められている。

【0108】

このような規則的パターンによれば、全てのピクセル（撮像素子）から信号を抽出するためのフルサンプリングスキャンを行う場合の動作は、小グループg1，g2，g3，…単位として第2実施形態と同様である。一方、アドレス線A，…を2本に1本の割合で選択走査するといった1/2サブサンプリングスキャンを行う場合、大グループG1，G2，…単位に撮像素子（P1～P8），（P9～P16），…を区切りながらも、個々の大グループG1，G2，…内で第1，第2，第5，第6番目に位置する撮像素子（P1，P2，P5，P6），（P9，P10，P13，P14），…を同時にオンさせることができる。つまり、1/2サブサンプリングスキャンでも、4行分の信号電圧を信号線L，…を通じてADコンバータ30，…に一斉に入力させることができる。

【0109】

また、1/4サブサンプリングスキャンを行う場合には、大グループG#1，G#2，…単位に撮像素子（P1～P16），（P17～P32），…を区切りながらも、個々の大グループG#1，G#2，…内で第1，第2，第9，第10番目に位置する撮像素子（P1，P2，P9，P10），（P17，P18，P25，P26），…を同時にオンさせることができる。

【0110】

1/8サブサンプリングスキャンを行う場合には、大グループG%1，…単位に撮像素子（P1～P32），…を区切りながらも、個々の大グループG%1，…内で第1，第2，第17，第18番目に位置する撮像素子（P1，P2，P17，P18），…を同時にオンさせることができる。つまり、1/2、1/4、1/8サブサンプリングスキャンでも、4行分の信号電圧を信号線L，…を通じてADコンバータ30，…に一斉に入力させることができる。

【0111】

アドレス線選択回路50は、フルサンプリングスキャンの場合、小グループ g_1, g_2, \dots 単位に連続した4本のアドレス線($A_1 \sim A_4$), ($A_5 \sim A_8$), \dots を同時に選択走査して通電状態とする。一方、1/2サブサンプリングスキャンの場合、アドレス線選択回路50は、大グループ G_1, G_2, \dots 単位に区切りながらも大グループ G_1, G_2, \dots 内の第 $4n+1$ と第 $4n+2$ ($n=0, 1$) 番目に対応する4本のアドレス線(A_1, A_2, A_5, A_6), \dots を同時に選択走査して通電状態とする。また、1/4サブサンプリングスキャンの場合、アドレス線選択回路50は、大グループ $G\#1, G\#2, \dots$ 単位に区切りながらも、その大グループ $G\#1, G\#2, \dots$ 内の第 $8n+1$ と第 $8n+2$ ($n=0, 1$) 番目に対応する4本のアドレス線(符号省略)を同時に選択走査して通電状態とする。さらに、1/8サブサンプリングスキャンの場合、アドレス線選択回路50は、大グループ $G\%1, \dots$ 単位に区切りながらも、その大グループ $G\%1, \dots$ 内において第 $16n+1$ と第 $16n+2$ ($n=0, 1$) 番目に対応する4本のアドレス線(符号省略)を同時に選択走査して通電状態とする。すなわち、フルサンプリングスキャンあるいは1/2、1/4、1/8サブサンプリングスキャンのいずれにしても、1回の選択走査ごとにアドレス線 A, \dots を4本同時にオンにできる。

【0112】

次に、第3実施形態の動作について説明する。なお、動作タイミングについては、第2実施形態に対応する図11や図12の内容と同様となるため図示省略する。

【0113】

第3実施形態の動作モードとして、フレームレートはフルサンプリングスキャンと同一条件とした1/2サブフルサンプリングスキャンについて考える。この場合、アドレス線選択回路50は、フレーム信号をアサートするごとに大グループ G_1 内の第 $4n+1$ と第 $4n+2$ ($n=0, 1$) 番目に対応したアドレス線 A_1, A_2, A_5, A_6 を同時に選択走査する。

【0114】

4本のアドレス線A1, A2, A5, A6を同時に選択走査すると、これらのアドレス線A1, A2, A5, A6に接続された第1, 第2, 第5, 第6行目の撮像素子P, …がオンになる。同時に、オンした撮像素子P, …からは、信号電圧が信号線L1~L4を通じてADコンバータ30, …に供給される。

【0115】

ADコンバータ30, …は、1回の選択走査ごとに基準電圧と信号電圧とを逐次比較し、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ40に出力する。シフトレジスタ40は、1回の選択走査を終えるまでに4行分のデジタル画像信号を出力する。その後、大グループG2, …単位に同様の動作が繰り返し行われる。したがって、このような1/2サブサンプリングスキャンとしても、先の第2実施形態と同様に、1ライン走査周期で1フレームの処理が完結してしまう。また、1フレーム分のデータ量がフルサンプリングスキャンの1/4になる。そして、ADコンバータ30の動作クロック（クロック周波数）については、 $f/8$ 程度にすることができる。

【0116】

また、第2実施形態と同様の動作原理から、1/4、1/8サブサンプリングスキャンとすれば、それぞれクロック周波数を $f/16$ 、 $f/32$ 程度にすることができる。

【0117】

つまり、再び図14を参照して説明すると、フルサンプリングスキャン時には、図中の網掛け部分で示すように、小グループg1, g2, …を構成するP1~P4の4行、P5~P8の4行、…ごとに画素データが得られるので、クロック周波数を $f/4$ 程度にすることができる。

【0118】

また、1/2サブサンプリングスキャン時には、大グループG1, G2, …ごとに区切りながらも、それぞれ異なる信号線L1~L4に接続されて規則的に位置するP1, P2, P5, P6の4行、P9, P10, P13, P14の4行、…ごとに画素データが得られるので、クロック周波数を $f/8$ 程度にすることができる。

【0119】

さらに、 $1/4$ サブサンプリングスキャン時には、大グループ $G\#1$, $G\#2$, …ごとに区切りながらも、それぞれ異なる信号線 $L1 \sim L4$ に接続されて規則的に位置する $P1$, $P2$, $P9$, $P10$ の4行、 $P17$, $P18$, $P25$, $P26$ の4行、…ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にすることができる。

【0120】

最もサンプリング率の小さい $1/8$ サブサンプリングスキャン時には、大グループ $G\#1$, $G\#2$ ($G\#2$ 以降は図示省略), …ごとに区切りながらも、それぞれ異なる信号線 $L1 \sim L4$ に接続されて規則的に位置する $P1$, $P2$, $P17$, $P18$ の4行、 $P33$, $P34$, $P49$, $P50$ ($P33$ 以降は図示省略) の4行、…ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にすることができる。

【0121】

したがって、第3実施形態によれば、サブサンプリングスキャン時に1つのピクセルがサブピクセル単位に分解されないような規則的パターンとされているので、カラー入力方式としても第2実施形態と同様の効果を得ることができる。

【0122】

さらに、第4の実施形態について説明する。なお、先述した第1ないし第3の実施形態と同様の点については、説明を省略する。

【0123】

図15は、第4実施形態に係るエリアイメージセンサの構成図である。第4実施形態に係るエリアイメージセンサも、第3実施形態と同様にカラー入力方式に適したものである。RGB3原色の色フィルタは、図13と同様のパターンをなすように配列されており、仮想線で示す2行2列の撮像素子(サブピクセル) P , …が1ピクセルをなす。

【0124】

第4実施形態では、2列につき8本の信号線 $L1 \sim L8$ が割り当てられている。つまり、8本の信号線 $L1 \sim L8$ は、2列の撮像素子 P , …に共用されるよう

に接続されている。そのため、1列当たりの信号線L、…の本数は4本とされ、第3実施形態などと同様とされる。

【0125】

図16は、第4実施形態における第1列目の規則的パターンを説明するための説明図である。第4実施形態でも、グループ構成の点では第3実施形態などと同様とされる。一方、第1列目に限って列全体について見ると、小グループg1, g2, …単位の信号線L1～L8に対する接続パターンが4種類あるものの、そのうちの2種類は、信号線L1～L4のみを対象としたものであり、他の2種類は、信号線L5～L8のみを対象としたものである。そのため、個々の大グループG1, G2, …内で第4n+1と第4n+2 (n=0, 1) 番目の規則的な順に位置する4つの撮像素子(P1, P2, P5, P6), (P9, P10, P13, P14), …については、信号線L1～L4あるいは信号線L5～L8のいずれの一群に対応しつつ、それぞれ異なる信号線(L1～L4), (L5～L8)に接続されている。

【0126】

また、符号G#1, G#2, …で示す大グループについて見ると、個々の大グループG#1, G#2, …内で第8n+1と第8n+2 (n=0, 1) 番目の規則的な順に位置する4つの撮像素子(P1, P2, P9, P10), (P17, P18, P25, P26), …については、それぞれ異なる信号線L1～L8に接続されている。

【0127】

さらに、符号G%1, …で示す大グループとしても、個々の大グループG%1, …内で第16n+1と第16n+2 (n=0, 1) 番目の規則的な順に位置する4つの撮像素子(P1, P2, P17, P18), …については、それぞれ異なる信号線L1～L4に接続されている。

【0128】

また、図15に示すように、列全体の接続パターンは、奇数列の第1列目と第3列目とが同一パターンからなり、偶数列の第2列目と第4列目とが同一パターンからなる。そして、隣り合う第1列目と第2列目、第3列目と第4列目とでは

、接続パターンが対象的に形成されている。これから明らかなように、1列おきに同一の配線パターンが形成されている。このような接続パターンは、最も大きい大グループ $G\%1$ 、…単位に繰り返され、撮像素子 $P1$ 、 $P2$ 、…の数で言えば32個ごとに繰り返し構成される。第4実施形態の規則的パターンとしては、以上説明したようなグループ構成および接続パターンをなすように決められている。

【0129】

このような規則的パターンによっても、第3実施形態と同様の動作を実現することができる。したがって、 $1/2$ 、 $1/4$ 、 $1/8$ サブサンプリングスキャンを行う場合、それぞれのサブサンプリングスキャンに対応して4行分の信号電圧を、8本の信号線 $L1 \sim L8$ のうちの4本を通じてADコンバータ30、…に一斉に入力させることができる。

【0130】

つまり、再び図16を参照して説明すると、フルサンプリングスキャン時には、図中の網掛け部分で示すように、小グループ $g1$ 、 $g2$ 、…を構成する $P1 \sim P4$ の4行、 $P5 \sim P8$ の4行、…ごとに画素データが得られるので、クロック周波数を $f/4$ 程度にすることができる。

【0131】

また、 $1/2$ サブサンプリングスキャン時には、大グループ $G1$ 、 $G2$ 、…ごとに区切りながらも、それぞれ異なる信号線 $L1 \sim L8$ に接続されて規則的に位置する $P1$ 、 $P2$ 、 $P5$ 、 $P6$ の4行、 $P9$ 、 $P10$ 、 $P13$ 、 $P14$ の4行、…ごとに画素データが得られるので、クロック周波数を $f/8$ 程度にすることができる。

【0132】

さらに、 $1/4$ サブサンプリングスキャン時には、大グループ $G\#1$ 、 $G\#2$ 、…ごとに区切りながらも、それぞれ異なる信号線 $L1 \sim L8$ に接続されて規則的に位置する $P1$ 、 $P2$ 、 $P9$ 、 $P10$ の4行、 $P17$ 、 $P18$ 、 $P25$ 、 $P26$ の4行、…ごとに画素データが得られるので、クロック周波数を $f/16$ 程度にすることができる。

【0133】

最もサンプリング率の小さい $1/8$ サブサンプリングスキャン時には、大グループ $G\%1$, $G\%2$ ($G\&2$ 以降は図示省略), …ごとに区切りながらも、それぞれ異なる信号線 $L1 \sim L4$ に接続されて規則的に位置する $P1$, $P2$, $P17$, $P18$ の 4 行、 $P33$, $P34$, $P49$, $P50$ ($P33$ 以降は図示省略) の 4 行、…ごとに画素データが得られるので、クロック周波数を $f/32$ 程度にすることができる。

【0134】

したがって、第 4 実施形態によっても、カラー入力方式に適して先の第 3 実施形態と同様の効果を得ることができる。

【0135】

なお、第 4 実施形態の変形例としては、図 17 および図 18 に示すような構成としても良い。

【0136】

このような変形例でも、2 列につき 8 本の信号線 $L1 \sim L8$ が割り当てられ、1 列当たりの信号線 L , …の本数は 4 本とされる。先の第 4 実施形態と異なる点としては、相対する 2 つの撮像素子 P , P が常に隣り合う信号線 L , L に対して接続されている点にある。そのため、個々の大グループ $G1$, $G2$, …内で第 $4n+1$ と第 $4n+2$ ($n=0, 1$) 番目の規則的な順に位置する 4 つの撮像素子 ($P1$, $P2$, $P5$, $P6$), ($P9$, $P10$, $P13$, $P14$), …については、奇数列に当たる信号線 $L1$, $L3$, $L5$, $L7$ 、あるいは偶数列に当たる信号線 $L2$, $L4$, $L6$, $L8$ のいずれかの一群に対応しつつ、それぞれ異なる信号線 ($L1$, $L3$, $L5$, $L7$), ($L2$, $L4$, $L6$, $L8$) に接続されている。

【0137】

また、符号 $G\#1$, $G\#2$, …で示す大グループについて見ると、個々の大グループ $G\#1$, $G\#2$, …内で第 $8n+1$ と第 $8n+2$ ($n=0, 1$) 番目の規則的な順に位置する 4 つの撮像素子 ($P1$, $P2$, $P9$, $P10$), ($P17$, $P18$, $P25$, $P26$), …については、それぞれ異なる信号線 $L1 \sim L8$ に

接続されている。

【0138】

さらに、符号 $G\%1$ 、…で示す大グループとしても、個々の大グループ $G\%1$ 、…内で第 $16n+1$ と第 $16n+2$ ($n=0, 1$) 番目の規則的な順に位置する4つの撮像素子 ($P1, P2, P17, P18$)、…については、それぞれ異なる信号線 $L1, L3, L5, L7$ に接続されている。

【0139】

このような接続パターンによっても、先の第4実施形態と同様の動作を実現することができる。図18からも明らかなように、フルサンプリングスキャン時には、クロック周波数を $f/4$ 程度にすることができる。また、 $1/2$ サブサンプリングスキャン時には、クロック周波数を $f/8$ 程度にすることができる。さらに、 $1/4$ サブサンプリングスキャン時には、クロック周波数を $f/16$ 程度にすることができる。最もサンプリング率の小さい $1/8$ サブサンプリングスキャン時には、クロック周波数を $f/32$ 程度にすることができる。

【0140】

したがって、第4実施形態の変形例によっても、カラー入力方式に適して先の第3実施形態と同様の効果を得ることができる。

【0141】

上記の各実施形態による効果は、たとえば液晶モニタに動画像を表示させる際や、記録用メモリなどに動画像データを取り込む際に特に有効とされる。

【0142】

なお、本願発明は、上記の各実施形態に限定されるものではない。

【0143】

エリアイメージセンサ1は、デジタルカメラに限らず、たとえばデジタルビデオカメラや撮影機能付きの携帯型電話機などにも適用することができ、さらには工業用の検査装置などにも広く適用できる。

【0144】

撮像部1Aは、厳密に撮像素子を多行多列に配列した構造でなくても良く、たとえばハニカム構造などであっても良い。

【0145】

図2には、1フォトダイオードおよび3トランジスタからなる撮像素子の一例を示したが、たとえばスイッチング素子20については、4トランジスタ構造などとしても良い。

【0146】

各列に割り当てる信号線Lの本数は、好ましくは4～8本程度であるが、少なくとも2本以上であれば良い。

【0147】

ADコンバータ30は、スロープ状の基準電圧を用いる方式に限らない。たとえば動作クロックを基にデジタル量としての基準電圧を発生し、この基準電圧と信号電圧とを逐次比較して両電圧が一致したときの電圧値そのものをデジタル画面信号として出力する方式でも良い。

【0148】

カラー入力方式の場合、撮像素子ごとにつけられる色フィルタは、YMCとGに色分解する補色系のフィルタとしても良い。

【0149】

また、1つの撮像素子が入力感度に応じてRGB3原色に色分解可能な特性を有する場合には、第1や第2の実施形態をカラー入力方式としても適用することができる。

【0150】

上記の各実施形態では、複数種類のサブサンプリングスキャンに対応させるために、大グループの中でも最も小さい大グループG1、G2、…単位に同一の接続パターンを繰り返さないように構成したが、たとえば、1/2サブサンプリングスキャンしか行わないのであれば、大グループG1、G2、…単位に同一の接続パターンを繰り返すように構成しても良い。

【0151】

その他の点については、本願発明の範囲内で種々の変更が可能である。たとえば、1列当たりの信号線の本数を6本とした場合には、6個の撮像素子で1つの小グループを構成し、1/2サブサンプリングスキャン時には、適当な順に位置

する 6 本のアドレス線を 1 回の選択走査で同時にオンするとしても良い。

【図面の簡単な説明】

【図 1】

本願発明の第 1 実施形態に係るエリアイメージセンサの構成図である。

【図 2】

1 つの撮像素子についての回路図である。

【図 3】

第 1 列目の規則的パターンを説明するための説明図である。

【図 4】

1 つの AD コンバータについてのブロック図である。

【図 5】

AD コンバータの動作を説明するための説明図である。

【図 6】

信号の処理手順を説明するための説明図である。

【図 7】

信号の処理手順を説明するための説明図である。

【図 8】

信号の処理手順を説明するための説明図である。

【図 9】

第 2 実施形態に係るエリアイメージセンサの構成図である。

【図 10】

第 2 実施形態における第 1 列目の規則的パターンを説明するための説明図である。

【図 11】

信号の処理手順を説明するための説明図である。

【図 12】

信号の処理手順を説明するための説明図である。

【図 13】

第 3 実施形態に係るエリアイメージセンサの構成図である。

【図 14】

第3実施形態における第1列目の規則的パターンを説明するための説明図である。

【図 15】

第4実施形態に係るエリアイメージセンサの構成図である。

【図 16】

第4実施形態における第1列目の規則的パターンを説明するための説明図である。

【図 17】

第4実施形態の変形例を示す構成図である。

【図 18】

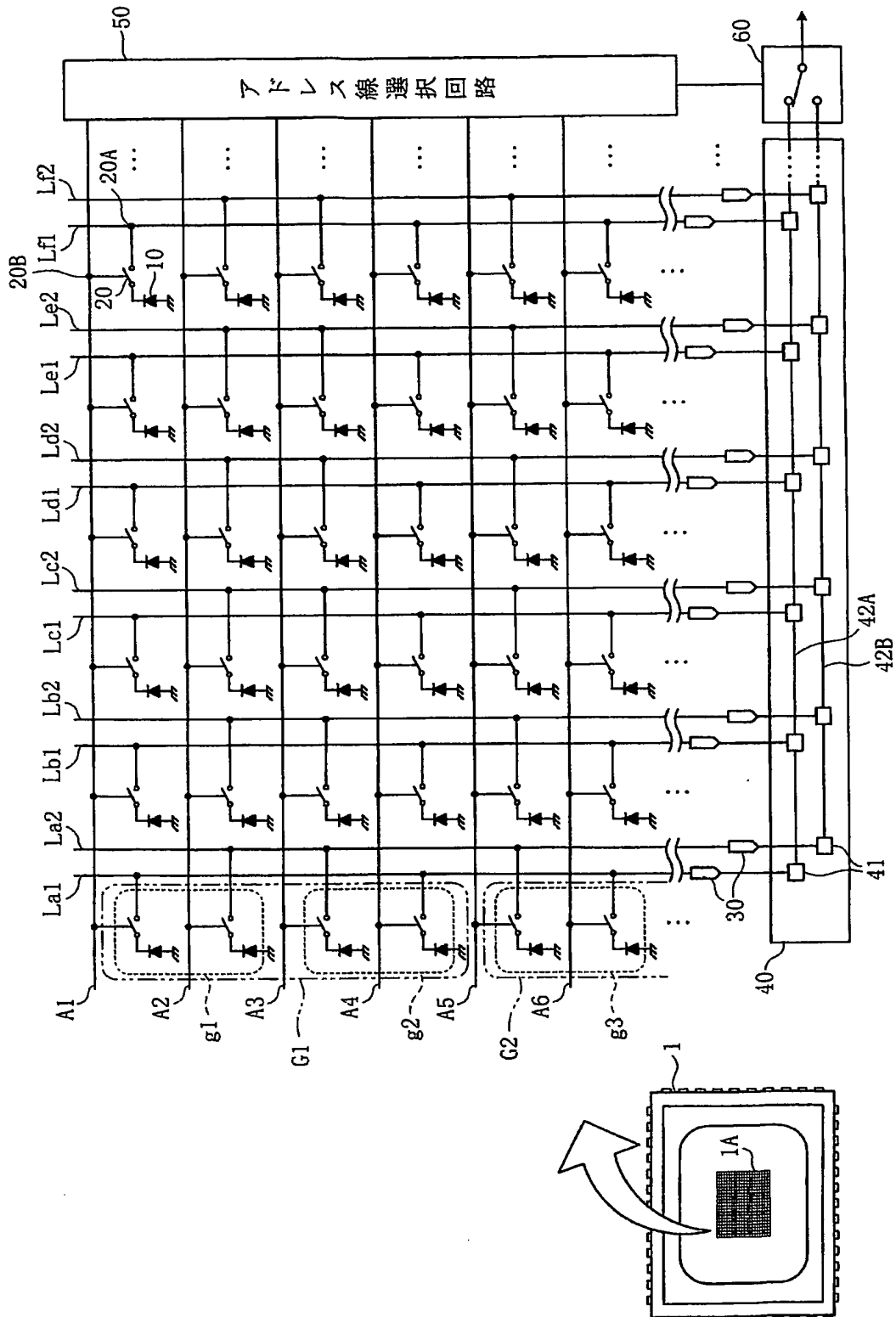
変形例における第1列目の規則的パターンを説明するための説明図である。

【符号の説明】

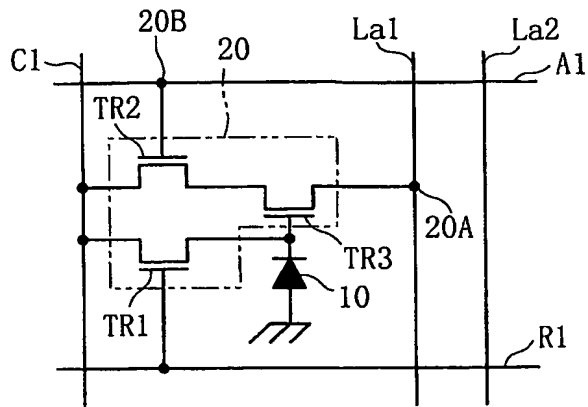
- 1 エリアイメージセンサ
- 1A 撮像部
- 10 フォトダイオード
- 20 スイッチング素子
- 30 ADコンバータ
- 40 シフトレジスタ
- 41 レジスタ
- 42 転送ライン
- 50 アドレス線選択回路
- 60 デュプレクサ回路
- 61 マルチプレクサ回路
- A アドレス線
- L 信号線
- P 撮像素子
- g 小グループ
- G 大グループ

【書類名】 図面

【図 1】



【図 2】

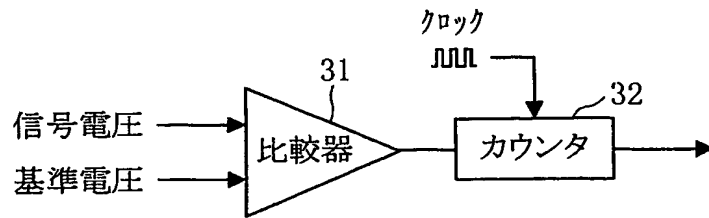


【図 3】

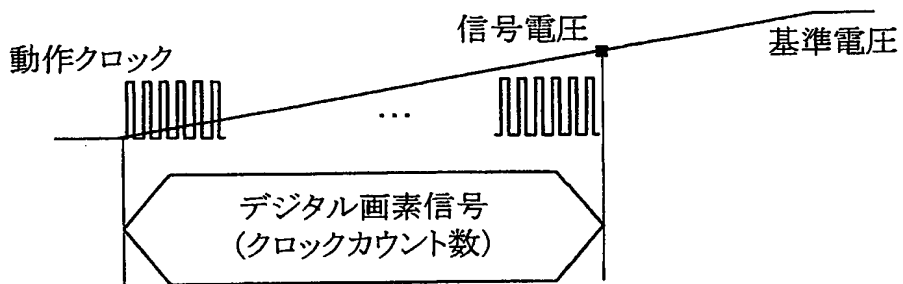
動作モード		FS		SS1/2		SS1/4		SS1/8		SS1/16	
クロック周波数		1/2f		1/4f		1/8f		1/16f		1/32f	
ビタブル	信号線	L1	L2	L1	L2	L1	L2	L1	L2	L1	L2
G&1	G%1	G#1	g1	P1	L1	1	1	1	1	1	1
				P2	L2	1	0	0	0	0	0
			g2	P3	L2	1	1	0	0	0	0
				P4	L1	1	0	0	0	0	0
			g3	P5	L2	1	1	1	0	0	0
		G2		P6	L1	1	0	0	0	0	0
			g4	P7	L1	1	1	0	0	0	0
				P8	L2	1	0	0	0	0	0
			g5	P9	L2	1	1	1	1	1	0
		G3		P10	L1	1	0	0	0	0	0
			g6	P11	L1	1	1	0	0	0	0
				P12	L2	1	0	0	0	0	0
			g7	P13	L1	1	1	1	0	0	0
		G4		P14	L2	1	0	0	0	0	0
			g8	P15	L2	1	1	0	0	0	0
				P16	L1	1	0	0	0	0	0
			g9	P17	L2	1	1	1	1	1	1
	G%2	G#2		P18	L1	1	0	0	0	0	0
			g10	P19	L1	1	1	0	0	0	0
				P20	L2	1	0	0	0	0	0
			g11	P21	L1	1	1	1	0	0	0
		G#3		P22	L2	1	0	0	0	0	0
			g12	P23	L2	1	1	0	0	0	0
				P24	L1	1	0	0	0	0	0
			g13	P25	L1	1	1	1	1	0	0
		G#4		P26	L2	1	0	0	0	0	0
			g14	P27	L2	1	1	0	0	0	0
				P28	L1	1	0	0	0	0	0
			g15	P29	L2	1	1	1	0	0	0
		G8		P30	L1	1	0	0	0	0	0
			g16	P31	L1	1	1	0	0	0	0
				P32	L2	1	0	0	0	0	0

[1]:ON
[0]:OFF

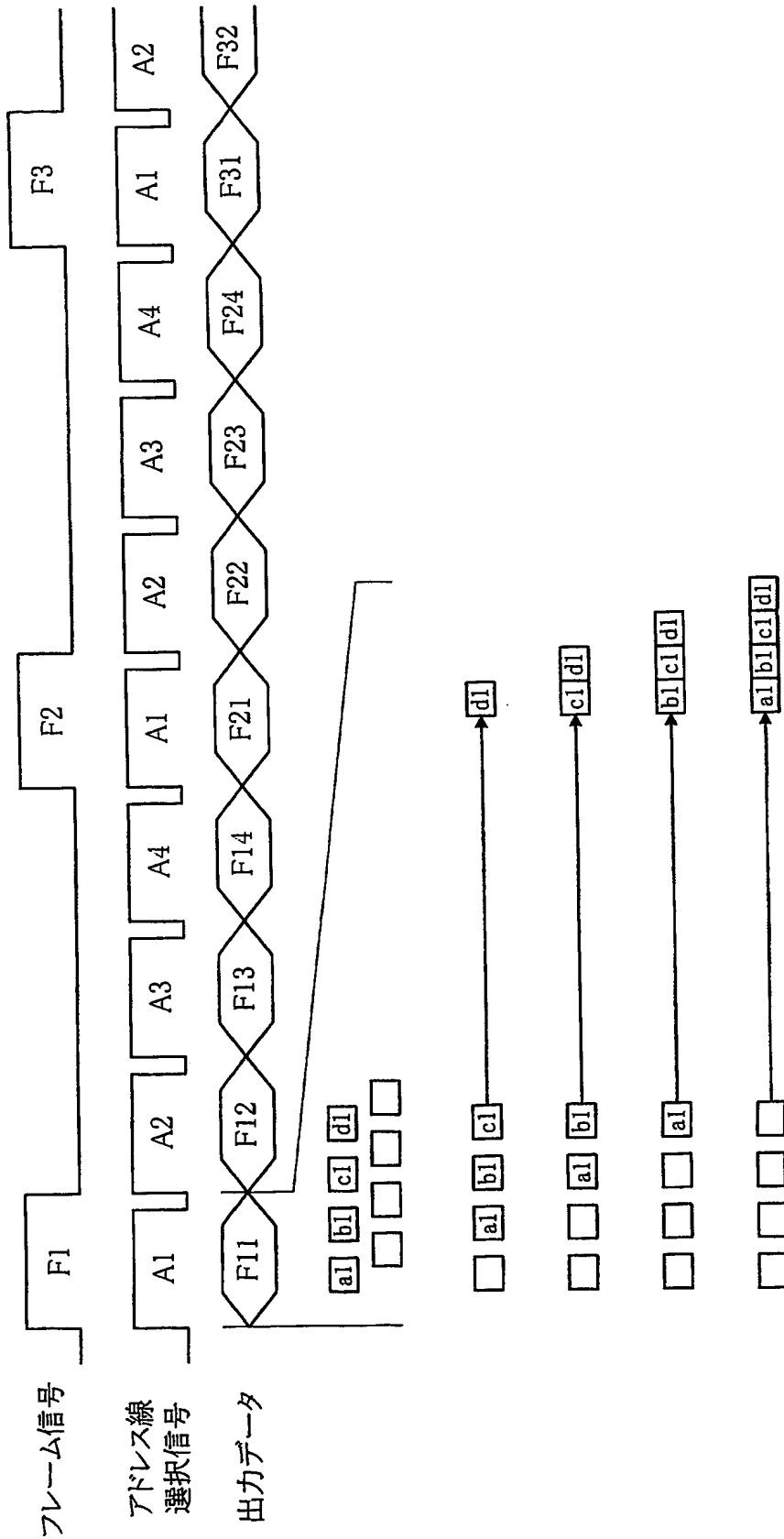
【図 4】



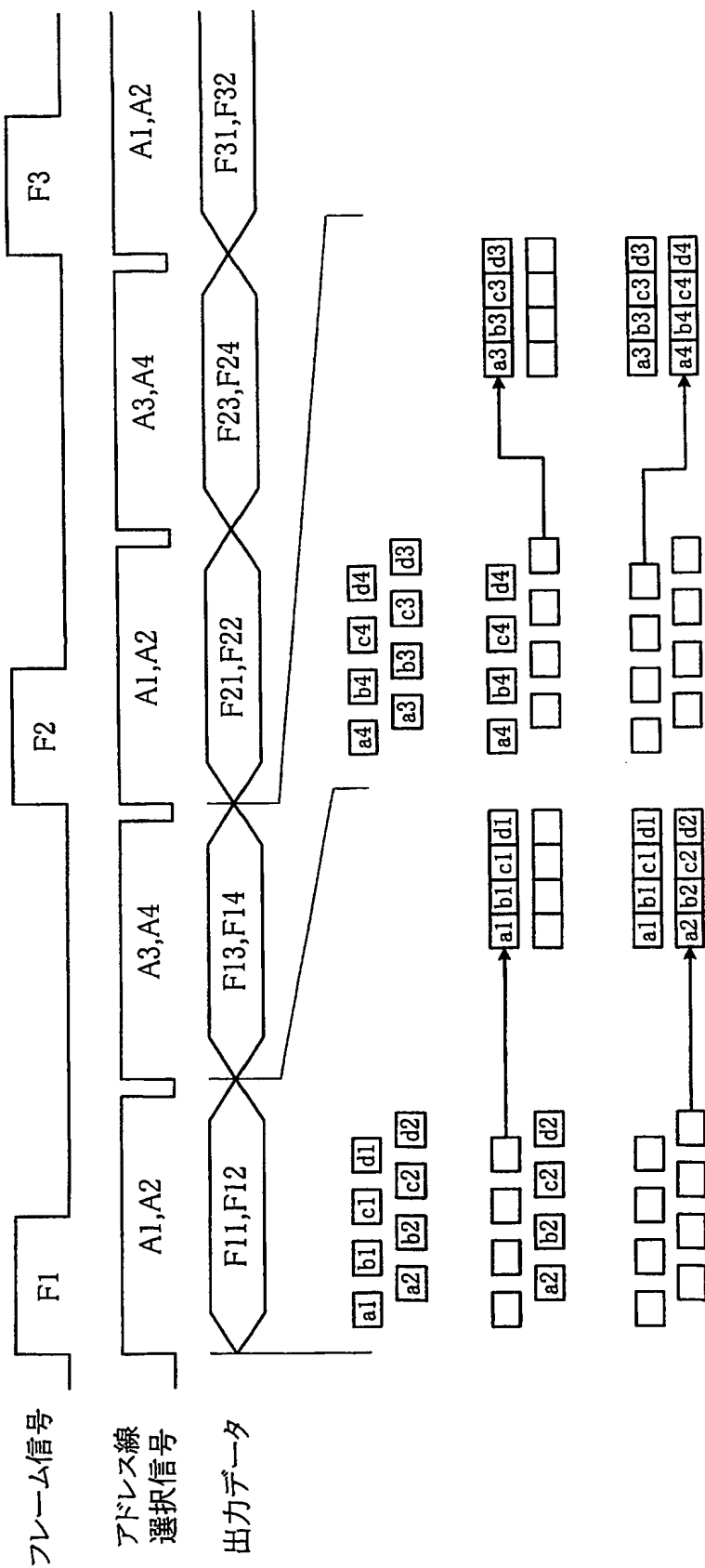
【図 5】



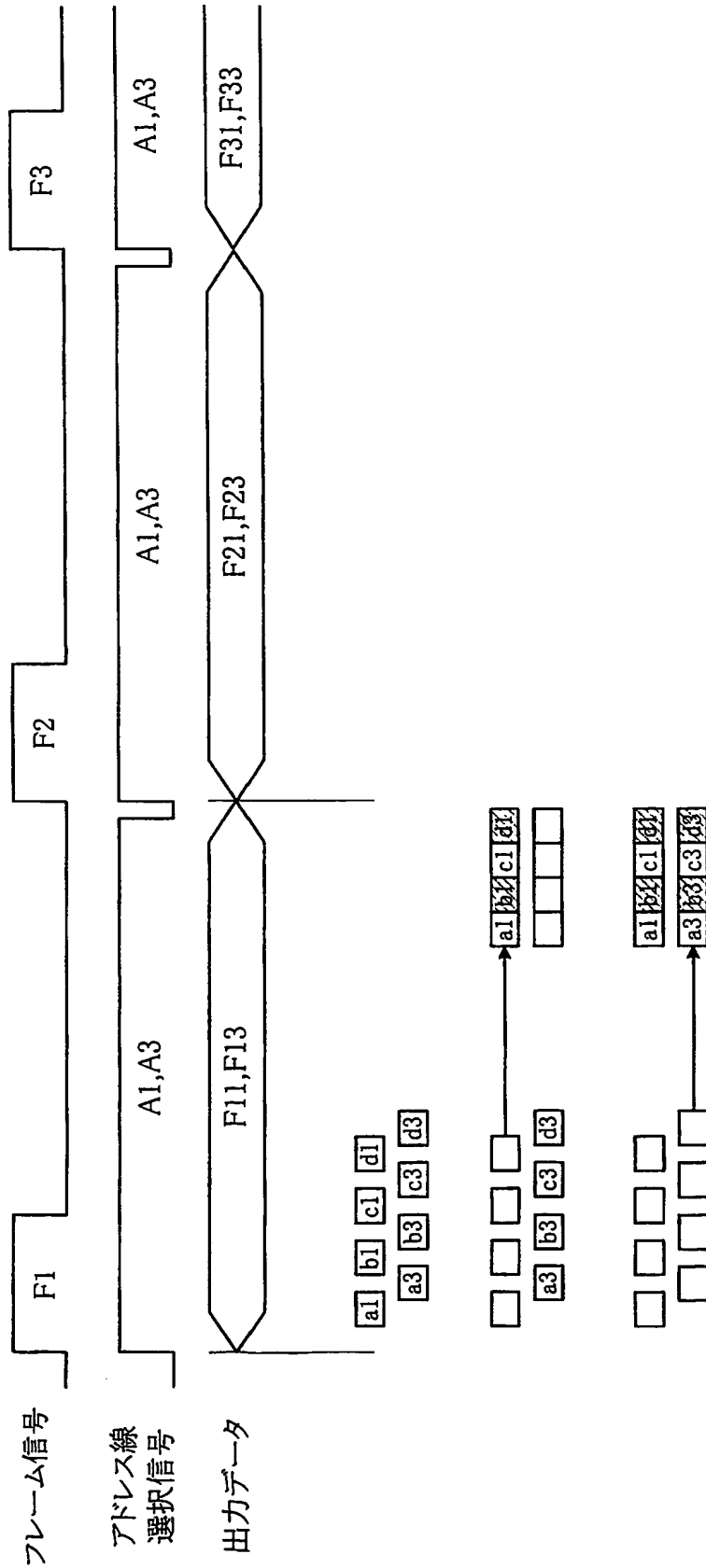
【図 6】



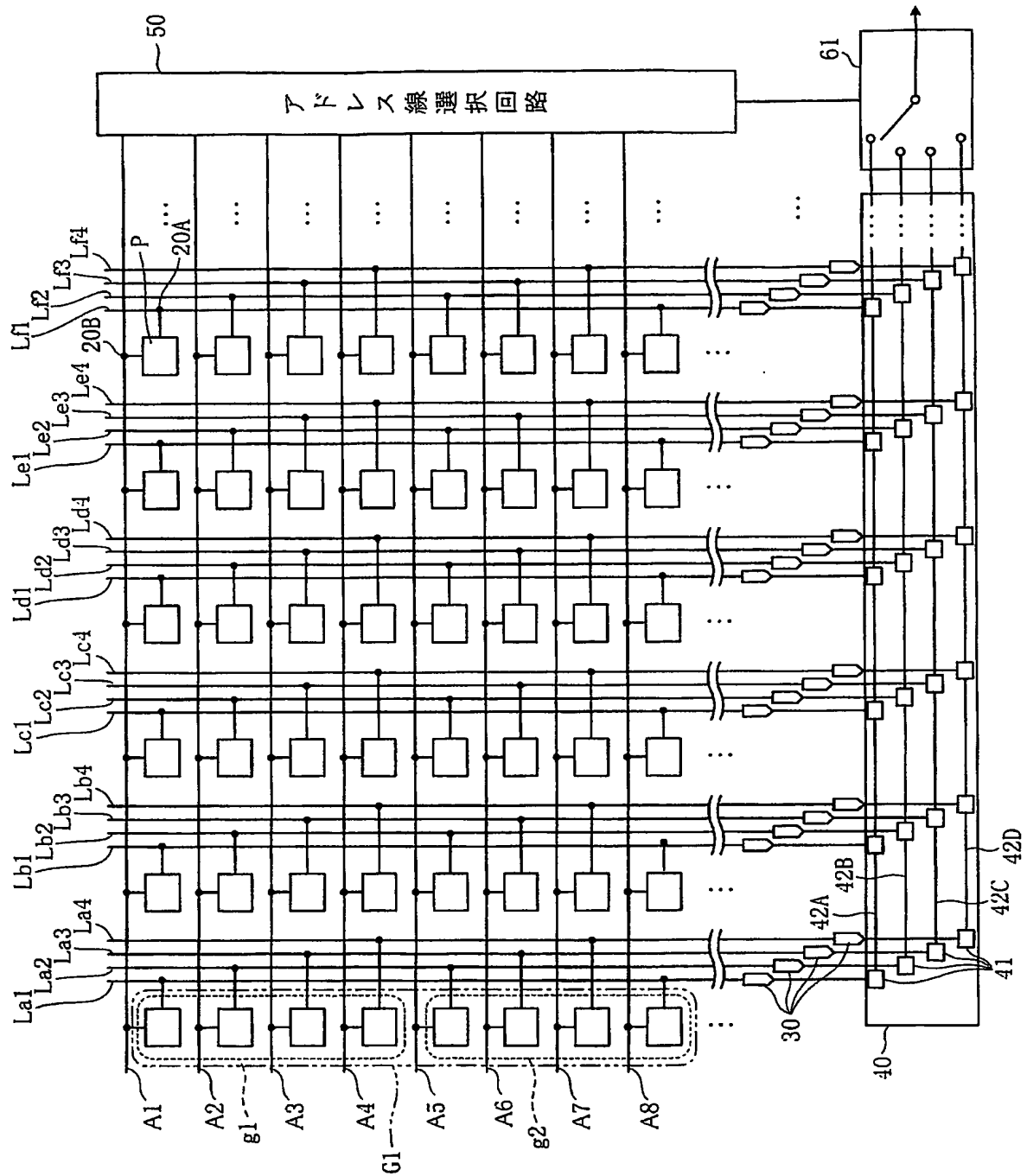
【図 7】



【図 8】



【図9】



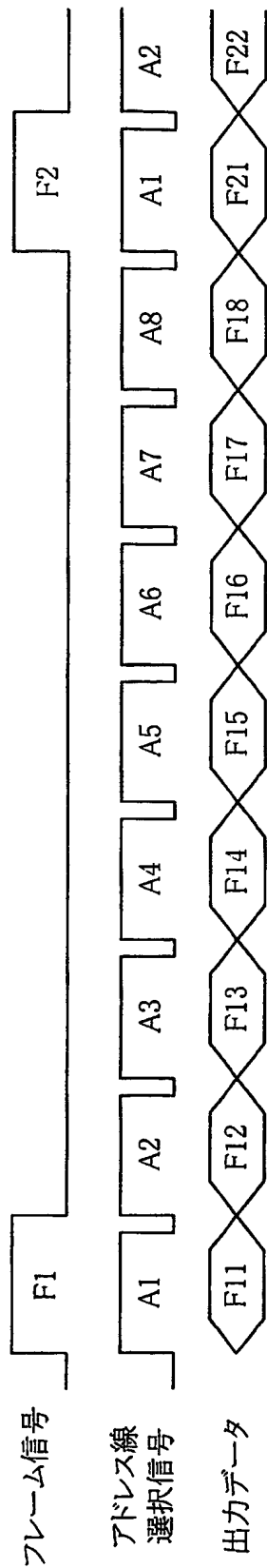
【図 10】

動作モード		FS				SS1/2				SS1/4				SS1/8			
クロック周波数		1/4f				1/8f				1/16f				1/32f			
信号線		L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4
P1	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P2	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P3	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P4	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P5	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P6	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P7	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P8	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P9	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P10	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P11	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P12	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P13	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P14	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P15	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P16	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P17	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P18	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P19	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P20	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P21	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P22	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P23	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P24	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P25	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P26	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P27	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P28	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P29	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P30	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P31	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P32	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

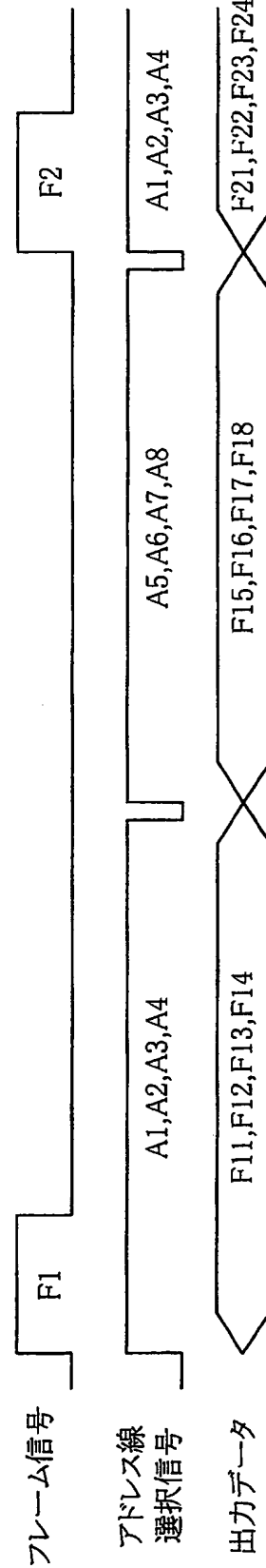
[1]:ON
[0]:OFF

【図 11】

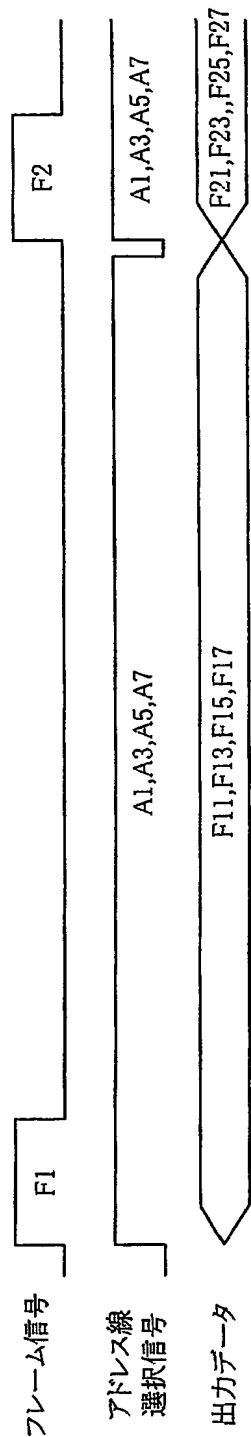
(a)



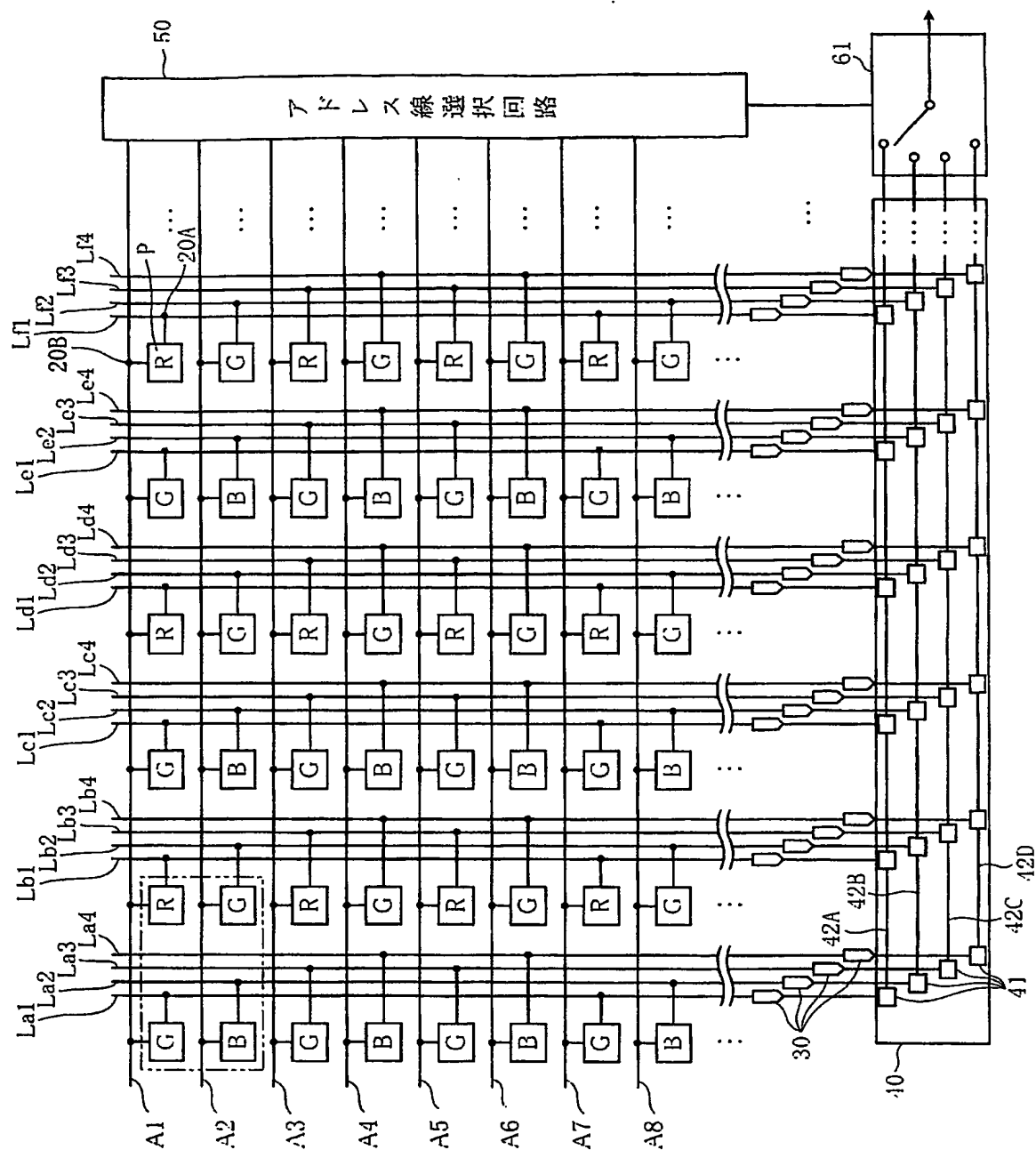
(b)



【図 12】



【図 13】

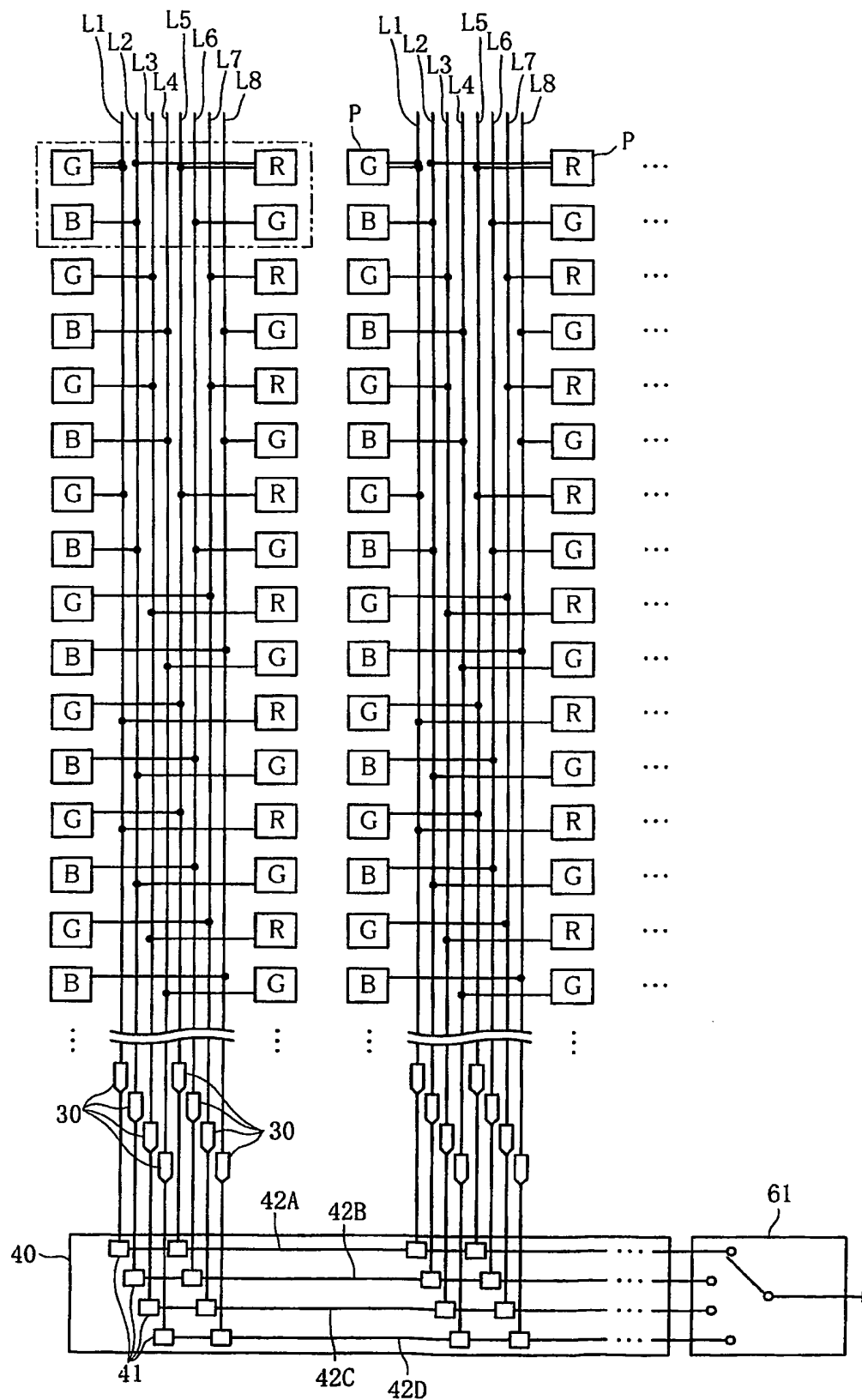


【図 14】

動作モード		FS				SS1/2				SS1/4				SS1/8			
クロック周波数		1/4f				1/8f				1/16f				1/32f			
信号線		L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4	L1	L2	L3	L4
P1	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P2	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P3	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P4	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P5	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P6	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P7	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P8	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P9	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P10	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P11	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P12	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P13	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P14	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P15	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P16	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P17	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P18	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P19	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P20	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P21	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P22	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P23	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P24	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P25	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P26	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P27	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P28	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P29	L3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P30	L4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P31	L1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
P32	L2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

[1]:ON
[0]:OFF

【図 15】

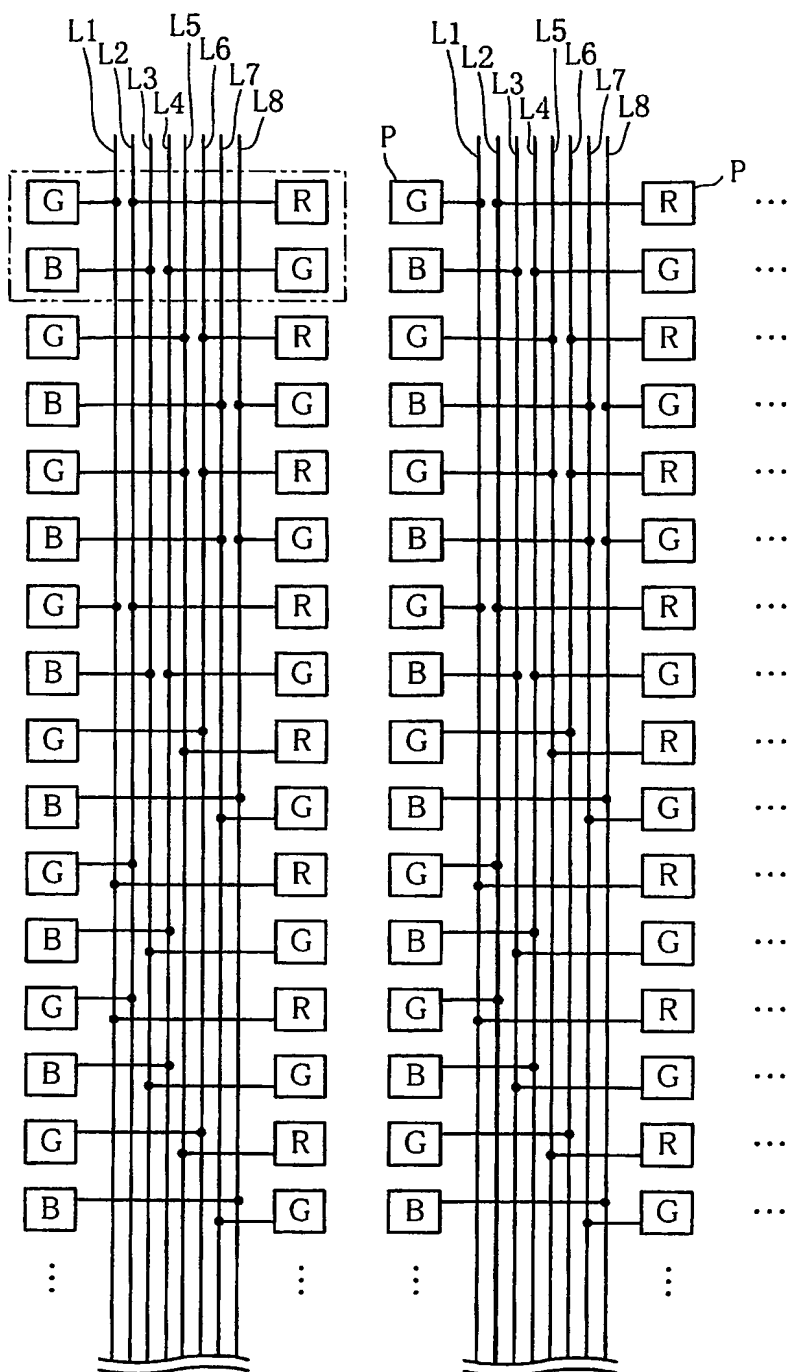


【図 16】

動作モード		FS 1/4f	SS1/2 1/8f	SS1/4 1/16f	SS1/8 1/32f
クロック周波数		L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8
サブピクセル	信号線	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8
		L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8	L1 L2 L3 L4 L5 L6 L7 L8
P1	L1	1	1	1	1
P2	L2	1	1	1	1
P3	L3	1	1	1	1
P4	L4	1	1	1	1
P5	L3	1	1	1	1
P6	L4	1	1	1	1
P7	L1	1	1	1	1
P8	L2	1	1	1	1
P9	L7	1	1	1	1
P10	L8	1	1	1	1
P11	L5	1	1	1	1
P12	L6	1	1	1	1
P13	L5	1	1	1	1
P14	L6	1	1	1	1
P15	L7	1	1	1	1
P16	L8	1	1	1	1
P17	L3	1	1	1	1
P18	L4	1	1	1	1
P19	L1	1	1	1	1
P20	L2	1	1	1	1
P21	L1	1	1	1	1
P22	L2	1	1	1	1
P23	L3	1	1	1	1
P24	L4	1	1	1	1
P25	L5	1	1	1	1
P26	L6	1	1	1	1
P27	L7	1	1	1	1
P28	L8	1	1	1	1
P29	L7	1	1	1	1
P30	L8	1	1	1	1
P31	L5	1	1	1	1
P32	L6	1	1	1	1

[1]:ON
[0]:OFF

【図 17】



【書類名】 要約書

【要約】

【課題】 サブサンプリングスキャン時に動作クロックや消費電力を大幅に低減させることができるようにする。

【解決手段】 多数の撮像素子が多行多列に配列されたエリアイメージセンサであって、撮像素子の各列においては、1列当たりの信号線L、…の割り当て本数（2本）と同数にわたり連続して並ぶ撮像素子ごとに小グループg 1, g 2, …が形成されているとともに、小グループg 1, g 2, …内では、各撮像素子がそれぞれ異なる信号線L 1, L 2に接続され、さらに、撮像素子の各列においては、2つにわたり連続して並ぶ小グループg 1, g 2, …ごとに大グループG 1, G 2, …が形成されているとともに、この大グループG 1, G 2, …内では、小グループg 1, g 2, …単位の信号線L, …に対する接続パターンが2種類存在する。

【選択図】 図 1

特願 2002-321014

出願人履歴情報

識別番号

[000116024]

1. 変更新月日

1990年 8月22日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町21番地

氏 名

ローム株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.